

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 21/02	(11) 공개번호 특1998-080687
(21) 출원번호 1998-010434	(43) 공개일자 1998년 11월 25일
(22) 출원일자 1998년 03월 26일	
(30) 우선권주장 1997-73518 1997년 03월 26일 일본(JP)	
(71) 출원인 캐논가부시기기이사, 미타라이후지오 일본	
(72) 발명자 사카구치키요후미 일본	일본국 도쿄도 오오다구 시모마루고 3조메 30반 2고
	일본국 도쿄도 오오다구 시모마루고 3조메 30반 2고 캐논 가부시기기이사나이
	사토노부히코 일본
	일본국 도쿄도 오오다구 시모마루고 3조메 30반 2고 캐논 가부시기기이사나이
(74) 대리인 신중훈	
(77) 심사청구 있음	
(54) 출원명 기판 및 그 제작방법	

요약

우수한 제어성, 생산성 및 경제성을 가진 고품질의 SOI웨이퍼를 제작하는 방법과, 이러한 방법에 의해 제작된 웨이퍼가 제공된다. 웨이퍼의 접합을 이용해서 기판을 제작하는 방법에 있어서, 제 1기판부재와 제 2기판부재는 상호 접합된 후, 제 2기판부재는 제 1기판부재의 주면에 형성된 제 1층과 제 2층의 계면에서 제 1기판부재로부터 분리됨으로써, 제 2층은 제 2기판부재상에 옮겨진다. 분리에 있어서, 제 1 및 제 2층의 계면에서의 분리위치는 다공질 Si층의 다공도를 변화시키는 방법, 다공질 Si내의 구멍의 응집에 의해 용이하게 분리가능한 면을 형성하는 방법, 계면에 이온주입을 행하는 방법 또는 헤터로에피택슬계면을 이용하는 방법에 의해 확실히 정해진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1A, 1B, 1C 및 1D는 본 발명에 의한 기판을 제작하는 방법의 일예를 표시하는 개략단면도

도 2A, 2B, 2C, 2D, 2E 및 2F는 본 발명에 의한 기판을 제작하는 방법의 다른 예를 표시하는 개략단면도

도 3A, 3B, 3C, 및 3D는 본 발명에 의한 기판을 제작하는 방법의 또 다른 예를 표시하는 개략단면도

도 4A, 4B, 4C 및 4D는 본 발명에 의한 기판을 제작하는 방법의 또 다른 예를 표시하는 개략단면도

도 5A, 5B 및 5C는 제 1종래방법을 표시하는 개략단면도

도 6A, 6B 및 6C는 제 2종래방법을 표시하는 개략단면도

도면의 주요부분의 대한 부호의 설명

2: 제 1기판부재 3: 기판

11: 제 1기판부재 12: 제 1층

13: 제 2층 14: 절연층

15: 제 2기판부재 21: 제 1기판

22: 제 1층 23: 제 2층

24: 제 2층 25: 제 2층

26: 절연층 27: 절연층

28: 제 2기판 29: 제 2기판

31: Si기판	32: 다공질 Si
33: 단결정박막	34: 지지기판
35: 절연층	41: Si기판
42: 다공질 Si	43: 단결정박막
44: 지지기판	45: 절연층
101: 제 1기판	102: 제 1다공질층
103: 제 2다공질층	104: 다공질영역
105: 다른 층	106: 제 2기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체기판의 제작방법에 관한 것으로, 더 상세하게는 유전체분리층 또는 절연물상의 단결정반도체층에, 또는 Si기판상의 단결정화합물반도체에 전자디바이스 또는 집적회로를 형성하는데에 적합한 반도체기판의 제작방법에 관한 것이다.

절연물상의 단결정 Si반도체층의 형성은 실리콘·온·인슐레이터(SOI)기술로서 널리 알려져 있고, 통상의 Si집적회로를 제작하는 벌크 Si기판에서는 도달할 수 없는 여러 가지의 우위점을 SOI기술을 이용한 디바이스가 가지고 있기 때문에 여러 가지 연구가 행해져 왔다. 즉 SOI기술을 이용한 것에서,

1. 유전체분리가 용이하고, 고집적화가 가능하고,
2. 대방사선내성이 뛰어나고,
3. 부유용량이 저감되어 고속화가 가능하고,
4. 웨공정을 생략할 수 있고,
5. 래치업을 방지할 수 있고,
6. 박막화에 의한 완전공필형 전계효과 트랜지스터가 가능하다는 등의 우위점을 얻을 수 있다.

이들 특징은, 예를 들면, 이하의 문헌에 상세히 기재되어 있다. Single-crystal silicon on non-single-crystal insulators: edited by G. W. Cullen, Journal of Crystal Growth, Vol. 63, pp. 429-590(1983).

또한 최근 수년간에 있어서는, SOI가 MOSFET의 고속화, 저소비전력화를 실현하는 기판으로서 많은 보고가 이루어지고 있다(IEEE SOI conference 1994). 또한 SOI구조를 사용하면 소자의 하부에 절연층이 있기 때문에 벌크 Si웨이퍼상에 소자를 형성하는 경우와 비교해서 소자분리프로세스를 단순화할 수 있기 때문에 디바이스프로세스공정이 단축된다. 즉 고성능화와 더불어 벌크 Si상의 MOSFET, IC에 비해서 웨이퍼코스트, 웨이퍼코스트의 토탈로서의 저가격화가 기대되고 있다.

특히, 완전공필형 MOSFET는 구동력의 향상에 의한 고속화, 저소비전력화가 기대되고 있다. MOSFET의 역치전압(V_{th})은 일반적으로는 채널부의 불순물농도에 의해 결정되지만, SOI를 이용한 완전공필형(FD:Fully Depleted)MOSFET의 경우에는 공필층두께가 SOI의 막후의 영향도 받게 된다. 따라서, 대규모직접회로를 수율좋게 만들기 위해서는 SOI막후의 균일성이 강하게 요망되고 있다.

또한, 화합물반도체상의 디바이스는 Si에서는 얻을 수 없는 고성능, 예를 들면, 고속, 발광등을 가지고 있다. 현재는 이들 디바이스는 거의 GaAs등의 화합물반도체기판상에 에피택설성장의 의해 형성되고 있다. 그러나, 화합물반도체기판은 고가이고, 기계적 강도가 낮고, 대면적 웨이퍼는 제작이 곤란하다는 등의 문제점이 있다.

이와 같은 것으로부터, 염가이고, 기계적 강도도 높고, 대면적 웨이퍼를 제작할 수 있는 Si웨이퍼상에 화합물반도체를 헤터로에피택설성장시키는 시도가 행해지고 있다.

SOI기판의 형성에 관한 연구는 1970년대경부터 왕성해지고 있다. 초기에는 절연물인 사파이어기판의 위에 단결정 Si는 헤터로에피택설성장하는 방법(SOS: Silicon on Sapphire)이나, 다공질 Si의 산화에 의한 유전체분리에 의한 SOI구조를 형성하는 방법(FIPOS: full isolation by porous oxidized silicon)등이 연구되었다.

FIPOS법은 P형 Si단결정기판표면에 N형 Si층을 프로톤이온주입(Imai et al., J. Crystal Growth, Vol. 63, 547(1983)), 또는 에피택설성장과 패터닝에 의해서 성형상으로 형성하고, 표면으로부터 Si성을 둘러싸도록 HF용액중의 양극화성법에 의해 P형 Si기판만을 다공질화한 후, 증속산화에 의해 N형 Si성을 유전체분리하는 방법이다. 본 방법에서는, 분리되어 있는 Si영역은 디바이스공정의 전에 결정되어 있으므로, 디바이스설계의 자유도를 제한하고 있다.

산소이온주입법은 K.Izumi에 의해 처음으로 보고된 SIMOX라고 하는 방법이다. Si웨이퍼에 산소이온을 $10^{17} \sim 10^{18}$

/cm²정도 주입한 후, 알곤·산

소분위기속에서 1320°C 정도의 고온에서 어닐링한다. 그 결과, 이온주입의 투영비정(Rp)에 상당하는 깊이를 중심으로 주입된 산소이온이 Si와 결합해서 산화 Si층이 형성된다. 그 때, 산화 Si층의 상부의 산소이온주입에 의해 아울퍼스화한 Si층도 재결정화해서 단결정 Si층이 된다. 표면의 Si층중에 포함되는 결함은 종래 10⁵ /cm²로 많았지만, 산소이온의 주입량을 4×10¹⁷ /cm²부근으로 함으로써 약 10² /cm²까지 저감하는데 성공하고 있다. 그러나, 산화 Si층의 막질, 표면 Si층의 결정성등을 유지할 수 있도록 한 주입에너지, 주입량의 범위가 즐기 때문에 표면 Si층, 매복산화 Si층(BOX: Burried Oxide)의 막후는 특정의 값으로 제한되고 있다. 소망의 막후의 표면 Si층을 얻기 위해서는 희생산화 또는 에피택셜성장하는 것이 필요했다. 그 경우, 막후의 분포에는 이들 프로세스에 의한 열화가 중첩되기 때문에 막후 균일성이 열화한다고 하는 문제점이 있다.

또한, BOX는 파이프라고 하는 산화 Si의 형성불량영역이 존재하는 것이 보고되고 있다. 이 원인의 하나로서는 주입시의 먼지등의 이물이 생각되고 있다. 파이프가 존재하는 부분에서는 활성층과 지지기판사이의 누출에 의해 디바이스특성의 열화가 발생하게 된다.

SIMOX방법의 이온주입은 통상의 반도체프로세스에서 사용하는 이온주입에 비해서 이온주입량이 많기 때문에 전용의 장치가 개발되어도 주입시간은 길다. 이온주입은 소정의 전류량의 이온빔을 레스터스캔하거나, 빔을 확대해서 행해지기 때문에 웨이퍼의 대면적화에 따라 주입시간의 증대가 예상된다. 또한 대면적 웨이퍼의 고온열처리는 웨이퍼내의 온도분포에 의한 슬립발생등의 문제 때문에 더 어려워질 것이 예상된다. Si-MOX방법에서는 1300°C라고 하는 Si반도체프로세스에서는 통상 사용하지 않는 고온에서의 열처리가 필수적이므로 장치개발을 포함해서 이 문제의 중요성이 더욱 증대되고 있다고 생각된다.

또한 상기와 같은 종래의 SOI의 형성방법과는 별도로, 최근 Si단결정기판을 열산화한 다른 Si단결정기판에 열처리 또는 접합제를 사용해서 접합해서 SOI구조를 형성하는 방법이 주목을 끌고 있다. 이 방법에서는 디바이스형성을 위한 활성층을 균일하게 박막화할 필요가 있다. 즉 수백μm의 두께의 Si단결정기판을 μm오더 또는 그 이하로 박막화할 필요가 있다. 이 박막화에는 이하와 같이 3종류의 방법이 있다.

1. 연마에 의한 박막형성방법

2. 국소 플라즈마에칭에 의한 박막형성방법

3. 선택에칭에 의한 박막형성방법

방법 1의 연마에서는 균일하게 박막화하는 것이 곤란하다. 특히 서브μm의 박막화는 두께의 변동(fluctuation)이 수십%나 되게 되어, 이 균일화는 큰 문제가 되고 있다. 또한 웨이퍼의 대구경화가 진행되면 그 곤란도는 더욱 증가한다.

방법2는 미리 1의 방법으로 1~3μm정도까지 박막화한 후, 막후분포를 전면에서 여러점 측정해서 그 후에 이 막후분포에 의거해서 직경 수 μm의 SF₆ 등을 사용한 플라즈마를 스캔시킴으로써 막후분포를 보정하면서 에칭해서 소망의 막후까지 박막화한다. 이 방법에서는 막후분포를 ±10nm 정도로 할 수 있는 것이 보고되고 있다. 그러나, 플라즈마에칭시에 기판상에 이물이 있으면, 이 이물이 에칭마스크가 되기 때문에 기판상에 돌기가 형성되게 된다.

플라즈마에칭후의 표면은 거칠기 때문에 플라즈마에칭종료후에 터치연마가 필요하지만, 연마량의 제어는 시간관리에 의해서 행해지기 때문에 최종막후의 제어 및 연마에 의한 막후분포의 열화가 지적되고 있다. 또한 연마에서는 클로이덜실리카등의 연마제가 직접 활성층이 되는 표면을 접촉하기 때문에 연마에 의한 파쇄층의 형성, 가공변형의 도입도 염려된다. 또한, 웨이퍼가 대면적화가 된 경우에는 웨이퍼면적의 증대에 비례해서 플라즈마에칭시간이 증대하기 때문에 드루푸트의 현저한 저하도 염려된다.

방법 3은 미리 박막화하는 기판에 선택에칭가능한 막형성을 만들어 넣어 두는 방법이다. 예를 들면, P형 기판상에 봉소를 10¹⁹ /cm³ 이상의 농도로 포함한 P⁺형 Si의 박층과 P형 Si의 박층을 에피택셜성장등의 방법으로 적층해서 제 1기판으로 한다. 이것을 산화막등의 절연층을 개재해서 제 2기판과 접합한 후, 제 1기판의 이면을 연삭, 연마에 의해 미리 얇게 해둔다. 그 후, P형층의 선택에칭에 의해 P⁺층을 노출, 또한 P⁺층의 선택에칭에 의해 P형층을 토출시켜 SOI구조를 완성시킨 것이다. 이 방법은 Maszara에 의해 상세히 보고되어 있다(W. P. Maszara; J. Electrochim. Soc. Vol 138, 341(1991)).

선택에칭은 균일한 박막화에 유효하다고 되어 있지만, 다음과 같은 문제가 있다.

(1) 선택비는 약 10² 이지만, 충분하지 않다.

(2) 에칭후의 표면이 거칠기 때문에 에칭후에 터치연마가 필요하다. 그러나, 그 결과, 막후가 감소하는 동시에 막후의 균일성도 열화하기 쉽다. 또한 연마량은 연마시간에 의해 제어되지만, 연마속도의 변동 때문에 제어하기 어렵다. 따라서 100nm라고 하는 극박 SOI층의 형성에 있어서 특히 문제가 된다.

(3) 이온주입, 고농도 B도프 Si층상의 에피택셜성장 또는 헤테로에피택셜성장을 사용하고 있기 때문에 SOI층의 결정성이 나쁘다. 또한 피침합면의 표면성도 통상의 Si웨이퍼보다 떨어진다.

상기 점들은 C. Harendt et al./J. Elect. Mater., Vol. 20, 267(1991), H. Baumgart et al., Proceeding of the 1st International Symposium on Semiconductor Wafer bonding: Science, Technology and Applications, (The Electrochemical Society) Vol. 92-7, P.375, and c. E. Hunt et al., Proceeding of the 1st International Symposium on Semiconductor Wafer Bonding: Science, Technology and Applications (The Electrochemical Society) Vol. 92-7, P.165.

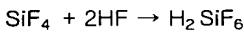
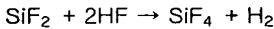
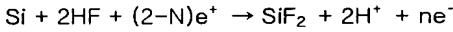
또한 선택에칭의 선택성이 봉소등의 불순물의 농도차와 그 깊이 방향프로파일의 급준성에 크게 의존하고 있다. 따라서 접합강도를 높이기 위한 고온의 본딩어닐링이나 결정성을 향상시키기 위해서 고온의 에피택셜성장을 행하거나 하면, 불순물농도의 깊이 방향분포가 넓어지고, 에칭의 선택성이 열화하게 된다. 즉, 에칭의 선택비의 향상과 결정성 및 접합강도의 향상과의 양립은 곤란했다.

발명이 이루고자 하는 기술적 과제

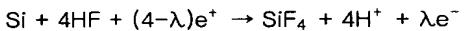
최근, 요네하라 등은 이와 같은 문제점을 해결하고, 막후균일성이 뛰어나고, 배치처리가 가능한 접합 SOI방법을 보고했다(T. Yonehara et al., Appl. Phys. Lett. Vol. 64, 2108(1994)). 이 방법은 제 1Si기판(31)상의 다공질층(32)을 선택에침재료로서 사용한다. 다공질층(32)의 위에 비단결정 Si층(33)을 에피택설성장시킨후, 산화 Si층(35)을 개재해서 제 2기판(34)과 접합시킨다(도 5A). 제 1기판을 이면으로부터 연삭등의 방법으로 박층화하고, 기판전면에 있어서 다공질 Si층을 노출시킨다(도 5B). 노출된 다공질층(Si)을 KOH, HF+H₂O₂ 등의 선택에 침액에 의해 에칭해서 제거한다(도 5C). 이때, 다공질 Si의 벌크 Si(비단결정 Si)에 대한 에칭의 선택비를 10만배로 충분히 높게 할 수 있기 때문에 미리 다공질층상에 성장한 비단결정 Si층(35)을 막후를 거의 감소시키는 일없이 제 2기판의 위에 남겨서 SOI기판을 형성할 수 있다. 따라서 SOI의 막후균일성은 에피택설성장시에 거의 결정할 수 있다. 에피택설성장은 통상 반도체프로세스에서 사용되는 CVD장치를 사용할 수 있기 때문에 사토등의 보고(SSDM 95)에 의하면, 그 균일성은, 예를 들면, 100nm±2%이내 가 실현되고 있다. 또한 에피택설 Si층의 결정성도 양호하게 $3.5 \times 10^2 / \text{cm}^2$ 가 보고되었다.

다공질 Si sms 1956년 Uhlig 등에 의해 반도체의 전기연마의 연구중에 발견되었다(A. Uhlig, Bell Syst. Tech. J., Vol. 35, 333(1956)). 다공질 Si는 HF용액속에서 Si기판의 양극화에 의해 형성할 수 있으며, 전해에칭에 의해 벌크 Si로부터 형성되는 미소한 구멍을 가진 스폰지형상을 가지고 있다. 이 구멍들은 양극화의 조건과 Si의 비저항에 따라 변화하지만, 약 수십 nm의 직경을 가지고 있으며, 예를 들면, $10^4 / \text{mm}^2$ 의 밀도로 형성된다.

우나가미등은 양극화시의 Si의 용해반응을 연구했고, HF용액내의 Si의 양극화반응은 정공(正孔)이 필요하다는 것을 보고했다. 이 반응은 다음과 같다(T. Unagami, J. Elec. Chem. Soc., Vol. 127, 476(1980)):



또는



여기서, e^+ 및 e^- 는 각각 정공과 전자를 표시하고 있다. 또한 n 및 λ 는 각각 1원자의 Si원자가 용해하기 위해서 필요한 정공의 수이며, $n > 2$ 또는 $\lambda > 4$ 가 되는 조건이 만족된 경우에 다공질 Si가 형성되는 것으로 되어있다.

이 보고에 의하면, 정공을 포함하는 P형 Si는 다공질화되지만, N형 Si는 다공질화되지 않는다. 이 다공질화에 있어서의 선택성은 나가노등 및 이마이에 의해서 실증되고 있다(Nagano, Nakajima, Yasuno, Ohnaka, Kaiwara, Technical Research Report of Electronic Communications Society, Vol. 79, SSD79-9549 (1979)); (K. Imai, Solid-state Electronics, Vol. 24, 159(1981)).

종래의 방법에서는 에칭의 선택성은 불순물농도의 차와 그 깊이 방향의 프로파일에 의하고 있기 때문에 농도분포를 넓게하는 열처리의 온도(접합, 에피택설성장, 산화등)는 약 800°C이하로 크게 제약되어 있다. 한편, 이 방법에 있어서의 에칭은 다공질과 벌크라고 하는 구조의 차가 에칭의 속도를 결정하고 있기 때문에 열처리온도의 제약은 작고, 1180°C정도의 열처리가 가능하다는 것이 보고되고 있다. 예를 들면, 접합후의 열처리는 웨이퍼끼리의 접합강도를 높이고, 접합계면에 발생하는 공격(Void)의 수, 크기를 감소시키는 것이 알려져 있다. 또한, 이러한 구조차에 의거한 에칭에서는 다공질 Si상에 부착한 이물이 있어도 막후균일성에 영향을 미치지 않는다.

또한, 글라스로 대표되는 광부과성기판상에는 일반적으로 그 결정구조의 무질서성으로부터 퇴적된 박막Si층은 기판의 무질서성을 반영해서 비정질이나 기것해야. 다결정층밖에 되지 않아, 고성능의 디바이스는 제조할 수 없다. 그것은 기판의 결정구조가 비정질이라는 사실에 의거하고 있으며, 단지 Si층을 퇴적해도 양질의 단결정층을 얻을 수 없다.

한편, 접합방법을 사용한 반도체기판은 반드시 2매의 웨이퍼를 필요로 하고, 그 중 1매는 거의 대부분이 연마·에칭등에 의해 제거되어 버려지게 되어, 한정된 지구의 자원을 낭비하게 된다.

따라서, 품질이 양호한 SOI기판을 재현성좋게 제작하는 동시에, 동시에 웨이퍼의 재사용등에 의한 자원절약, 코스트다운을 실현하는 방법이 요망되고 있다.

접합법에 있어서 소비되어 버리는 제 1기판을 재이용하는 방법이 최근 사까구치등에 의해서 보고되었다(일본국 특개평 07-302889호 명세서에 기재)

전술한 다공질 Si를 사용하는 접합에칭법에 있어서, 제 1기판을 이면으로부터 연삭, 에칭등의 방법에 의해 박층화해서 다공질 Si를 노출시키는 공정에 대신해서 이하와 같은 방법을 채용했다.

제 1Si기판(41)의 표면층을 다공질화(42)한 후, 그 위에 단결정 Si층(43)을 형성하고, 이 단결정 Si층(43)과 제 1Si기판(41)과는 다른 제 2Si기판(44)의 주면을 절연층(45)을 개재해서 접합한다(도 6A). 그 후, 다공질층에 의해서 접합된 웨이퍼를 분할하고(도 6B), 제 2Si기판(44)쪽의 표면에 노출된 다공질 Si층(42')을 선택적으로 제거함으로써 SOI기판을 형성하는 것이다(도 6C). 접합된 웨이퍼의 분할은 접합된 웨이퍼에 면내에 대해서

수직방향으로 더욱 면내로 균일하게 충분한 인장력 또는 압력을 가하고;

초음파등의 파동에너지를 가하고;

웨이퍼단면에 다공질층을 표출시켜, 다공질 Si를 어느 정도 에칭하고, 이 에칭부에 면도날과 같은 것을 삽입하고;

웨이퍼단면에 다공질층을 표출시켜, 다공질 Si에 물등의 액체를 주입한 후, 접합웨이퍼전체를 가열 또는 냉각하여 액체를 팽창시키고;

제 1(또는 제 2)의 기판에 대해서 제 2(또는 제 1)의 기판에 수평방향으로 힘을 가하는 등의 방법에 의해 다공질 Si층을 파괴한다고 하는 방법을 사용하고 있다.

이들 방법은 모두 다공질 Si의 기계적 강도가 다공도(porosity)에 따라 다르지만, 벌크 Si보다도 충분히 약하다고 생각되는 것에 의거하고 있다. 예를 들면, 다공도가 50%이면, 기계적 강도는 벌크의 반이라고 생각된다. 즉 접합웨이퍼에 가압, 인장 또는 전단력을 걸면, 우선 다공질 Si층이 파괴되게 된다. 또한, 다공도를 증가시키면 보다 약한 힘으로 다공질층을 파괴할 수 있다.

또한, 다공도란 다공질층의 체적중에서 다공질층의 소재에 대해서 구멍이 점하는 체적의 비율을 표시한다.

그러나, 일본국 특원평 07-302889호의 명세서에서는 다공질층의 두께내의 두께방향의 분리위치는 규정할 수 없으므로, 이러한 분리위치가 웨이퍼마다 변화하기 때문에 웨이퍼의 수율이 떨어졌다. 게다가, 웨이퍼의 분리후에 남은 다공질 Si층의 두께는 현저히 변동한다. 따라서 고선택에 청을 고준일성사양의 SOI제작에서는 수율이 떨어졌다.

또한 일본국 특개평 8-213645호 공보에 다공질층에 의해 분리되는 방법이 기재되어 있지만, 다공도의 층구성에 대해서는 기재되어 있지 않다. 그러나 1996주계응용물리학회예고집 P.673에 소니의 다나카야등이 전류를 도중에서 변화시켜서 다공질 Si를 제작하고 있다.

일본국 특개평 8-213645호 공보에서는 분리층의 어느 위치에서도 분리가 일어나도록 기재되어 있으며, 즉 분리위치를 규정할 수 없다고 하는 것이다. 이 경우, 웨이퍼면내에서 전류다공질 Si층의 두께가 변동하고, 다공질 Si를 에칭제거한다고 해도 비다공질단결정으로 구성되는 활성층의 에칭속도가 0이 아닌 한활성층(디바이스층)에의 면내 변동의 원인이 되고, 또한 전류한채 사용한다고 해도 표면 요철이 그대로 남게 된다. 또한 1996주계응용물리학회예고집 P.673에서도 종양부 또는 하부에서 분리가 일어나서, 양웨이퍼에 전류하는 다공질 Si층을 제거할 필요가 있다고 기재하고 있다.

만족스런 품질의 접합 SOI기판을 제조하기 위해서 다공질층의 에칭공정은 필수적이라고 생각되었다. 에칭공정은 기판의 에칭장치에의 반송, 에칭장치와 에칭제등의 관리, 에칭후의 기판의 세정등이 필요하다. 따라서 SOI기판의 제조시간은 에칭공정을 생략할 수 있다면 현저히 감소시킬 수 있다.

본 발명의 목적은 다공질층의 선택에칭공정을 생략할 수 있는 기판을 제조방법을 제공하는 데 있다.

본 발명의 다른 목적은 SOI기판으로 대표되는, 만족스런 품질의 반도체기판을 염가로 제작하는 방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 반도체기판의 제작방법은,

제 1층과 이 제 1층위에 인접해서 형성된 제 2층을 가진 제 1기판부재를 준비하는 공정과,

제 1기판부재를 제 2기판부재에 접합하는 공정과,

제 1기판부재와 제 2기판부재를 분리해서 제 2층을 제 2기판부재상에 옮기는 공정을 구비하고, 제 1기판부재와 제 2기판부재의 분리는 제 1층과 제 2층사이의 계면에서 행해지는 것을 특징으로 한다.

이하, 첨부도면을 참조해서 본 발명의 실시예를 상세히 설명한다.

도 1A 내지 1D는 본 발명에 의한 기판의 제작방법의 기본적인 예를 표시한다.

도 1A에 표시한 바와 같이, 제 1층(12)과 이 제 1층에 인접해서 형성된 제 2층(13)을 가진 제 1기판부재(2)가 준비되어 있다.

그리고, 도 1B에 표시한 바와 같이, 제 1기판부재(2)와 제 2기판부재(15)가 접합된다. (14)는 절연막을 표시한다.

다음에, 도 1C에 표시한 바와 같이, 제 1기판부재(2)와 제 2기판부재(15)가 분리됨으로써, 제 2층(13)은 제 2기판부재(15)의 절연면(14f)위에 옮겨진다.

분리는 제 1층(12)과 제 2층(13)사이의 계면에서 일어나므로, 제 1층은 제 2기판부재(15)위에 옮겨진 제 2층(13)의 노출면(분리면)(13f)위에 남지 않는다.

따라서, 도 1D에 표시한 바와 같이, 평탄면을 가진 기판(3)을 제 2층(13)의 노출면(13f)의 선택에칭 또는 선택연마없이 얻을 수 있다. 필요하다면, 기판(3)의 제 2층(13)의 노출면(13f)은 비산화분위기에서 열처리등의 평탄화처리를 받을 수 있다.

본 발명에서 사용되는 제 1기판부재는 적어도 제 1층과 제 2층을 포함하며, 이 제 1층 및 제 2층은 상호 다른 부재로 형성되거나, 상호 다른 기계적 강도를 가진다.

제 2층으로서는 비다공질층이 사용된다. 제 2층을 구성하는 재료의 구체적인 예는 Si와 GaAs, InP등의 화합물반도체, 금속 그리고 탄소를 포함하지만, 이러한 예에 한정되는 것은 아니다. 또한 이와 같은 층은 반드시 전체 면위에 형성할 필요는 없으며, 패터닝처리에 의해 부분적으로 에칭해도 된다. 또한 이러한 비다공질층 위에는 산화막등의 절연층을 형성해도 된다.

제 2기판부재는 Si부재, 그 표면위에 Si산화막이 형성된 Si부재, 석영, 용융석영, 사파이어 또는 실리카글라스 등의 광투과성부재, 또는 금속부재이어도 되지만, 제 2기판부재를 구성하는 재료는 이에 한정되는 것은 아니다.

제 1기판부재와 제 2기판부재는 판형상 또는 디스크형상인 것이 바람직하다.

접합의 경우에는, 제 1기판부재와 제 2기판부재의 적어도 하나의 피접합표면위에 산화막등의 절연층을 형성하고 이러한 절연층을 개재해서 양기판부재를 접합하는 것이 바람직하다. 도 1A내지 1D는 제 2기판부재(15)의 표면위에 절연층(14)을 형성하는 예를 표시한다.

제 1층과 제 2층 사이의 계면에서 분리를 행하기 위하여 이러한 계면에서 다공질층을 사용해서 또는 이러한 계면에서 이온주입에 의해 기계적으로 약한 분리층을 형성해도 된다. 그렇지 않으면, 이러한 계면에 결함을 도입해서 기계적으로 약한 분리층을 형성해도 된다.

분리는, 예를 들면, 인장력, 전단력 또는 빼기에 의한 힘등의 외압을 가하는 방법, 초음파 또는 열을 인가하는 방법, 산화에 의해 다공질 Si를 주변으로부터 팽창시켜서 다공질 Si내에 내압을 가하는 방법, 펄스형상으로 가열해서 열응력을 가하거나 연화시키는 방법 등에 의해 달성할 수 있으나, 이들 방법에 한정되는 것은 아니다.

다음에 분리층을 형성하는 방법에 대해서 설명한다.

헤터로에피택시의 재료의 차에 의한 격자상수의 차이로 인해 재료 사이의 계면에 또는 에피택설층에 결함이 도입되는 것이 알려져 있다. 또한 2개의 헤터로 접합부를 형성하는 이중헤터로에피택시의 경우에, 2개의 에피택설층의 두께의 관계에 의거하여 초박막에 결함이 도입되기 쉽다. 따라서, 초박에피택설층에서 서로 다른 재료가 에피택설성장하면, 이러한 초박에피택설층에 결함이 도입된다. 상기 계면은 격자상수의 차이와 결함의 도입에 의해 약해질 수 있으며, 분리는 이와 같은 계면에서 달성될 수 있다.

한편, 분리층은 헤터로에피택시를 사용하지 않고 형성할 수 있다. 예로서는, 다공질재료가 사용된다.

다공질층은, 예를 들면, HF용액내에서 Si기판부재를 양극화성함으로써 형성할 수 있다. 다공질층은 스폰지같은 구조를 가지며, 그 안에는 10^{-1} 내지 10nm 직경의 구멍이 10^{-1} 내지 10nm 간격으로 형성되어 있다. 2.33g/cm^3 의 단결정 Si의 밀도에 대해서 다공질층의 밀도는 50내지 20%범위내의 HF용액의 농도의 변화 또는 양극화성에 사용되는 전류밀도의 변화에 의해 2.1 내지 0.6g/cm^3 범위내에서 변화할 수 있다. 따라서 다공도의 레벨은 변화할 수 있다. 밀도는 단결정 Si의 밀도의 반이하로 감소할 수 있지만, 다공질 Si는 단결정 Si가 다공질층위에서 에피택설성장할 수 있도록 단결정성을 여전히 유지한다. 그러나, 1000°C 이상에서 내부구멍은 재배치되기 시작하며, 그에 의해 증속에칭의 특성을 열화시킨다. 이 때문에 Si층의 에피택설성장은 분자빔에피택설성장, 플라즈마 CVD, 저압 CVD, 포토 CVD, 바이어스 스퍼터링 또는 액상성장 등의 저온성장에 의해 행하는 것이 바람직하다. 그러나, 보호막이 다공질재료의 구멍의 내벽에, 예를 들면, 저온산화에 의해 미리 형성된다면, 고온성장도 가능하다.

다공질층이 큰 공간을 포함한다면, 표면적은 용적에 비해서 현저히 커진다. 이 때문에, 화학에칭률은 통상의 단결정층의 그것에 비해서 현저히 증가한다.

또한 다공질층의 기계적 강도는, 다공도에 의존하지만, 벌크 Si의 그것보다 낮다. 따라서 가압, 인장 또는 전단력이 일부에 다공질층을 포함하는 Si기판에 작용한다면, 우선 다공질층이 파손된다. 다공질층의 다공도가 증가한다면, 다공질층은 약한 힘에 의해 파손될 수 있다.

다공질 Si위의 에피택설성장에 있어서, 제 1공정으로서의 H_2 내에서의 베이킹공정은 다공질 Si의 표면구멍을 채움으로써 에피택설층의 질을 향상시키기 위해서 필수적이다(N. Sato et al., J. Electrochem. Soc., Vol. 142, No. 9, 3116 (1995)). H_2 내에서의 이 베이킹공정에 있어서, 다공질 Si의 최외층은 이 구멍들을 채우는 데에 소비된다. 따라서, 분리는 2이상의 다공질층을 형성함으로써 에피택설층의 바로 밑에서 이루어질 수 있으며, 최외층의 극히 얇은 다공질층은 낮은 다공도를 가지도록 형성되고, 비다공질구조형성처리 및/또는 에피택설성장에 의한 에피택설층의 바로 밑에 다공질 Si층은 큰 다공도를 가지도록 형성된다.

또한, 산화막이 HF에 의해 제거된 다공질 Si층 또는 산화막을 가지지 않은 다공질 Si층은 상기한 H_2 에서의 베이킹과 같은 열처리시에 구멍의 응집이 일어나고, 그에 의해 기계강도가 약해져서 구멍의 내벽상의 산화막의 부재하에서 용이하게 분리할 수 있다. 따라서 제 1층 및 제 2층의 계면에 의한 분리는 이와 같은 처리에 의해서도 달성할 수 있다.

그렇지 않으면, 양극화성후의 다공질 Si층이 저온산화없이 에피택설성장, 산화접합등과 같은 고온처리를 받으면, 양극화성에 의해 얻어진 작은 구멍이 응집해서 구멍의 팽창을 초래하게 되는 다공질 Si의 구조적 변화를 일으킨다. 따라서 분리는 에피택설층 바로 밑의 구멍들의 팽창으로 인해 다공질 Si층과 비다공질에피택설Si층 사이의 계면에서 그 사이의 변형에 의해 일어난다. 그러므로, 제 1층과 제 2층사이의 계면에서의 분리는 이와 같은 처리에 의해서도 달성할 수 있다.

또한, 이온주입층이 기포를 발생하는 것은 잘 알려져 있으며, 마치 다공질을 내부에 형성한 것같은 구조로 된다. 따라서 이와 같은 층은 기계적으로 취약해지고, 양극화성에 의해서 얻어진 다공질층에서와 같이 증속산화 또는 증속에칭을 행할 수 있다. 따라서, 제 1층 및 제 2층의 계면에서의 분리는 이 계면에 이온을 주입함으로써도 달성할 수 있다.

이 방법에서 사용된 이온은 특별히 한정되지는 않지만, 주입순상층, 주입소자의 고농도층(변형층), 또는 기포포함층을 발생할 수 있는 어떤 종류도 사용할 수 있다.

본 발명에 기재된 계면은 계면의 조방영역을 실질적으로 포함하는 계면을 의미한다.

이온주입에 관해서 다음에 설명한다.

일본국 특허공개공보 제 5-2111128호에는 이온주입에 의해 기포층을 형성하고, 열처리에 의해 결정재배열과 기포의 응집을 발생시키고, 기포층에서 분리를 행하는 방법이 제안되어 있다.

열처리가 따르는 헬륨 또는 수소이온의 벌크 Si에의 주입은 주입영역에서 약 $10^{15} \sim 10^{17} \text{ /cm}^2$ 의 밀도에서 수 nm 내지 수십 nm 를 가진 미소공동을 형성시킨다는 것도 보고되고 있다(예를 들면, A. Van Veen, C. C. Griffioen and J. H. Evans, Mat. Res. Soc. Symp. Proce. 107(1988, Materia Res. Soc. Pittsburgh, Pennsylvania)P.449). 최근에 금속불순물의 게터링사이트로서 이 미소공동을 이용하는 것이 연구되고 있다.

V. Rainieri와 S. U. Campisano는 미소공동을 얻기 위해서 헬륨이온을 벌크 Si에 주입해서 열처리하고, 미소공동의 측면을 노출하기 위하여 기판에 층을 형성하고, 그리고 산화처리를 행함으로써 매복산화 Si층, 즉 SOI구조를 얻기 위하여 미소공동을 선택적으로 산화할 수 있다(V. Rainieri and S. U. Campisano, Appl. Phys. Lett., 66(1995)P.3654).

또한, 본 발명의 기판제작방법에 있어서, 상술한 방법에 의해 분리된 제1기판부재는, 분리면위에 잔류하는 제1층의 제거후에 또는 불필요하다면 이러한 제거없이 그리고 표면평탄화가 불충분하다면 표면평탄화처리 후에, 제1기판부재 또는 제2기판부재로서 또는 다른 용도의 기판으로서 다시 사용할 수 있다.

또한 옮겨진 제2층을 가진 제2기판부재의 표면은 통상의 반도체공정에서 사용되는 연마 또는 에칭에 의존함이 없이 수소함유비산화분위기에서 열처리에 의해서 평탄화할 수 있다. 열처리에 의한 이와 같은 평탄화는 적당한 조건의 선택하에서 원자스텝만이 국부적으로 노출되는 레벨의 평탄화를 실현할 수 있다.

상기에서 설명한 바와 같이, 본 발명에서는 전체기판에 걸쳐 제1층과 제2층의 계면에서 분리를 행함으로써, 종래방법에서 필수적이라고 생각되는 제2기판부재의 표면을 평탄화하는 평탄화공정을 단순화 또는 생략할 수 있다. 에칭 또는 연마는 제2기판부재에 옮겨진 제2층의 두께를 저하시키기 때문에 이와 같은 에칭이나 연마를 생략할 수 있다면 제2층의 균일성을 향상시킬 수 있다. 따라서, 초고균일성이 요구되는 경우에도 기판을 높은 수율로 제조할 수 있다.

또한, 2개의 기판을 얻기 위해서 2개의 제2기판부재를 제1기판의 양쪽에 동시에 접합해서 접합, 분리, 층전사를 행하는 것도 가능하다.

퇴적막, 특히 에피택설막으로서 제2층을 형성함으로써, 이 장치의 제조수율을 향상시킬 수 있도록 벌크Si에 특정된 결함을 제외할 수 있다. 현재의 기술에 있어서도, 이러한 막을 가진 에피택설웨이퍼는 CPU등의 고성능장치를 제조하는데에 사용된다. 웨이퍼의 사이즈의 증가와 함께 고품질수정의 제조도 어렵다고 생각되므로 벌크웨이퍼의 품질도 불가피하게 낮아지게 될 것이다. 따라서 본딩SOI에 있어서도 에피택설Si막과 에피택설성장막의 필요성이 증가할 것이다.

또한, SOI기판에 있어서의 반도체층의 전기전도형 및 불순물농도를 에피택설막의 그것들을 제어함으로써 임의로 결정할 수 있다. 따라서, 동일한 제1기판부재로부터 변화된 전기전도형 및 불순물농도의 반도체층을 가진 SOI기판을 제작하는 것도 가능하므로, 에피택설막의 사용에 의해 응용범위가 넓어지게 된다.

또한, 고농도매복층을 가진 SOI기판을 용이하게 얻는 것도 가능하다. 이와 같은 이점은, 일본국 특허공개공보 제5-211128호에 기재되어 있는 바와 같이, 이온주입에 의해 벌크웨이퍼의 최외층을 분리하는 방법에 의해서는 얻을 수 없다.

제1층 및 제2층의 양자가 에피택설막에 의해 구성되는 경우에, 기판부재는 제1층과 제2층의 형성에 의해 소비되지 않으므로 제1기판부재는 두께의 손실없이 반영구적으로 재사용할 수 있다.

상기에서 설명한 바와 같이, 본 발명은 종래방법의 문제점인 격자상수 또는 열팽창계수의 차이로 인한 크랙을 충분히 억제하면서 우수한 결정성을 가진 Si층 또는 비다공질단결정화합물반도체층을 큰 면적을 가진 경제적으로 우수한 기판의 절연면상에 옮길 수 있으며, 그에 의해 기판부재의 절연면상에 만족스러운 결정성을 가진 반도체층을 형성할 수 있다.

도2A내지2F를 참조해서, 본 발명의 기판제조방법중에서 다공질층을 이용해서 분리를 행하는 방법의 예를 이하에 설명한다. 도2A에 표시한 바와 같이, Si웨이퍼등의 제1단결정기판부재(11)가 준비되었고, 주표면상에 적어도 제1층(12)이 형성되어 있다. 그리고, 도2B에 도시한 바와 같이, 적어도 제1층(12)상에 적어도 제2층(13)이 형성되어 있다. 제2층(13)은 단결정Si층, 다결정Si층, 비정질Si층, 다공질표면층을 비다공질화한 층, 금속막, 화합물반도체막, 초전도박막등으로부터 임의로 선택할 수 있다. 또는 MOSFET등의 소자구조를 이러한 층 또는 막에 형성해도 된다. 다층구조를 가진 제2층의 경우에는 매복층을 가진 SOI구조를 얻을 수 있다. 접합계면의 계면준위를 활성층으로부터 떨어지게 하기 위해서 제2층(13)의 최외층에 SiO₂등의 절연층(14)이 형성되어 있다. 그리고, 도2C에 표시한 바와 같이, 제1기판부재의 상기층(14)의 표면에 제2기판부재(15)의 표면이 실온에서 접합되어 있다.

제2층으로서 단결정Si를 퇴적한 경우에는 단결정Si의 표면에는 열산화등의 방법에 의해 산화Si를 형성한 후 접합하는 것이 바람직하다. 또한, 제2기판은 Si기판, Si기판상에 산화Si막을 형성한 것, 석영등의 광투과성기판, 사파이어기판등으로부터 선택할 수 있지만, 이에 한정되는 것은 아니고, 접합되는 면이 충분히 평탄하면 된다. 도2C는 제2기판부재가 제1기판부재의 표면에 형성된 절연층(14)을 개재해서 제1기판부재에 접합되어 있는 상태를 표시하고 있지만, 제2층(13)이 Si가 아닌 경우, 또는 제2기판이 Si가 아닌 경우에는 절연층(14)은 없어도 된다.

접합은 3개의 부재, 즉 제1기판부재(11)와 제2기판부재(15)사이에 절연부재를 끼워서 행해도 된다.

그후, 접합강도를 높이기 위해서 열처리를 행한다.

다음에, 도2D에 표시한 바와 같이, 제1층(12)과 제2층(13)의 계면에 의해 2개의 기판부재를 분리한다. 제1층과 제2층의 계면 또는 그근방에는 미리 분리층을 구성하는 요인을 형성한다. 분리층을 형성하는 요인의 예로서는, 상기한 바와 같이, 양극화성조건 또는 그후의 열처리에 의한 다공도나 구멍사이즈(pore size)의 변화, 재료차이에 의한 열팽창계수의 차이, 이온주입에 의한 주입원소나 결함층이나 기포층의 도입을 들 수 있다. 분리하는 방법으로서는 기압, 인장, 전단, 뼈기력등의 외압을 가하는 방법, 초음파나 열을 가하는 방법, 다공질Si를 산화에 의해 주변으로 팽창시켜 다공질Si내에 내압을 가하는 방법, 펄스형상으로 가열해서 열응력을 가하거나 연화시키는 방법 등이 있지만, 이 방법에 한정되는 것은 아니다.

도2E에 표시한 바와 같이, 제2층(13)의 분리면에 제1층(12)이 남지 않는 반도체기판이 얻어진다. 제2기판부재(15)위에는 제2층(13)이 평탄하게 또한 균일하게 박층화되어서 이 기판의 전역에 형성된다. 따라서 제2기판부재(15)와 제1기판부재(11)를 절연층(14)을 개재해서 접합함으로서 얻어지는 반도체기판은 분리된 전자소자의 제작에 적합한 SOI기판을 구성한다.

분리후의 제2기판부재(15)의 표면, 즉 제2층의 분리면이 허용할 수 없는 정도로 거칠어져 있는 경우에는, 비산화분위기에서의 열처리등의 표면 평탄화처리를 행한다.

제1기판부재(11)는, 제1기판부재위에 남아 있는 제1층(12)을 제거하고 표면을 평탄화한 후에 필요하다면, SOI기판의 제작을 위해 제1기판부재(11) 또는 제2기판부재(15)로서 다시 사용할 수 있다(도2F참조).

도3A내지3D에 표시한 바와 같이, 도1A내지1D 또는 도2A내지2F에 표시한 공정을 사용해서, 2개의 반도체기판부재를 동시에 사용하고, 2개의 제2기판부재를 제1기판부재의 양면에 접합하는 것도 가능하다.

제 1기판부재(21)는, 제 1기판부재에 남아있는 제 1층(22)또는 (23)을 제거하고, 표면이 허용할 수 없을 정도로 거칠어져 있는 경우에는 표면평탄화를 행한후 필요하다면, 다른 SOI기판의 제작을 위해 제 1기판부재(21) 또는 제 2기판부재(28)(또는 29)로서 다시 사용할 수 있다.

기판부재(28),(29)는 재료가 동일할 필요는 없다. 또한 비다공질막(24), (25)도 재료가 동일한 필요는 없으며, 절연층(26),(27)은 없어도 된다.

도 4A내지 4D는 본 발명의 기판생산방법중 복수의 다공질층을 이용하여 행하는 분리법을 표시한다.

도 4A에 표시한 바와 같이, 제 1기판(101)의 표면에는 제 1다공질층(102)과 이 제 1다공질층에 비하여 고다공도를 가진 제 2다공질층(103)으로 구성된 다공질영역(104)이 형성되어 있다. 상기 다공질영역은, 비다공질기판부재의 표면을 다공질로 만들거나 비다공질기판부재의 표면에 다공질영역을 형성함으로써 이루어질 수 있다. 제 1다공질층(102)보다 제 2다공질층(103)을 더 두껍게 만드는 것이 바람직하다.

그러면 도 4B에 표시한 바와 같이, 제 1다공질층(102)이 비다공질층(102')으로 변화된다. 예를 들면, 비산화분위기에서 다공질층(102)의 열처리에 의해서 이러한 변화를 얻을 수 있다. 상기 언급한 바와 같이, 상기 비산화분위기로는 수소함유분위기가 바람직하다. 상기 열처리의 온도는 다공질층을 구성하는 물질의 융해점보다 낮으며 구체적으로는 $600^{\circ}\text{C} \sim 1400^{\circ}\text{C}$ 범위내이며 $900^{\circ}\text{C} \sim 1200^{\circ}\text{C}$ 가 바람직하다. 제 1다공질층전부를 비다공질층으로 변화시키기 위하여 제 1다공질층의 두께와 다공도에 따라서 열처리 시간을 적절하게 선정한다. 이 작업시에 제 2다공질층은 비다공질층으로 변화되지 않는다.

그러면 도 4C에 표시된 바와 같이 제 1기판(101)은 제 2기판(106)에 접합되며, 비다공질층(102')의 표면이 필요하면 다른층(105)을 개재하여 제 2기판(106)의 표면과 접촉한다.

이러한 다른층(105)은 상기층(102')과 다른 재질로 구성되어 있고, 접합전에, 상기층(102')과 제 2기판부재(106)의 양쪽이나 어느 한쪽에 미리 형성시킬 수 있다.

또 상기 층(102')과 제 2기판부재(106)가 다른 재질이면 층(105)을 생략할 수 있다.

그러면, 도 4D에 표시된 바와 같이, 접합된 기판부재(101),(106)는 외력을 부여하거나 내부압력을 발생시켜 분리됨으로써, 제 2다공질층(103)과 비다공질층(102')사이에서 접합 계면과 다른 계면에 의해서 상기 기판부재가 서로 분리된다. 이 작업시에 분리계면 근처에서 제 2다공질층(103)의 일부가 망실될 수 있다.

상기 층(102')의 분리면에 다공질층(103)을 잔류시키지 않으면서 상기 분리작업을 할 수 있으면, 상기 층(102')을 가진 제 2기판(106)을 선택적으로 예칭하거나 연마할 필요가 없다.

필요하다면 상기 층(102')의 분리면을 평탄화하기 위해 상기 층(102')을 가진 제 2기판(106)을 열처리할 수 있다.

상기 층(102')은 에피택설 성장에 의해 제 2다공질층(103)에 단결정 반도체층으로 형성될 수 있다. 또, 상기 층(102')은 다공질층(102)을 비다공질로 만든 다음에 에피택설성장에 의해 단결정반도체층으로 형성될 수 있다.

또한, 제 2다공질층(103)과 기판부재(101)와의 사이에서 제 3다공질층은 제 2다공질층(103)보다 더 작은 다공도를 가지도록 형성될 수 있다.

(실시예 1)

제 1단결정 Si기판부재의 표면은 아래의 조건하에서 HF용액에서 양극화성되었다.

최초에 형성되는 가장바깥의 제 1다공질층을 형성하는 조건:

전류밀도: $1\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 0.1min

다공질 Si의 두께: $0.02\mu\text{m}$

다음에 형성되는 제 2다공질층을 형성하는 조건:

전류밀도: $50\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 5sec

다공질 Si의 두께: $0.1\mu\text{m}$

최후에 형성되는 제 3다공질층을 형성하는 조건:

전류밀도: $7\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 1min

다공질 Si의 두께: $1\mu\text{m}$

이와 같은 양극화성조건하에서, 전류밀도 $50\text{mA}\cdot\text{cm}^{-2}$ 를 사용하여 형성되고 제 1다공질층보다 두께가 두꺼운 제 2다공질 Si층은 큰 다공도를 나타냈고 다른 다공질 Si층에 비하여 구조적으로 더 취약하게 되었다.

다음에, 상기 기판부재가 산소분위기에서 400°C 로 1시간동안 산화됨으로써, 다공질 Si의 구멍의 내면은 열산화막으로 피복되었다. 그후 제 1기판부재로서의 웨이퍼는 에피택시장치에서 수소분위기하에 높여져서 1040°C 로 5분동안 구워짐으로써 다공질 Si의 표면영역의 구멍이 채워졌고, 전류밀도 $1\text{mA}\cdot\text{cm}^{-2}$ 로 형성된 최외곽의 제 1다공질 Si층은 Si원자이동에 의해서 비다공질 상태로 변화되었다.

그후에, 비다공질 표면을 가진 다공질 Si에는 아래의 성장조건하에 단결정 Si가 CVD(chemical vapor deposition)법에 의해 $0.3\mu\text{m}$ 두께로 에피택시 성장되었다.

소스가스: $\text{SiH}_2\text{Cl}_2/\text{H}_2$

가스유량: $0.5/180\ell/\text{min}$

가스압력: 80Torr

온도: 950°C

성장속도: $0.3\mu\text{m}/\text{min}$

다시, 에피택설성장된 Si층의 표면영역에 열산화에 의해서 두께 200nm 의 SiO_2 층이 형성되었다.

제 1기판부재의 Si층표면이 다른 Si기판부재(제 2기판부재)의 표면과 충돌되어 접촉된 후, 1180°C 에서 5분동안 열처리를 행함으로써 접합은 강화하게 되었다.

상기 접합된 기판부재가 외력의 부여에 의해 분리됨으로써 큰 다공성의 제 2다공질층이 파괴되었고, 다공질층과 비다공질층 사이의 계면에서 분열이 발생했다.

그 결과, 제 2기판부재에 형성된 Si산화막에 두께 $0.2\mu\text{m}$ 의 단결정 Si층을 가진 SOI기판을 얻을 수 있었다. 단결정 Si층의 표면(분리면)에 다공질 Si가 잔류하지 않았다. 전체영역의 100개 지점에서 측정된 단결정 Si층의 두께는 $201\pm4\text{nm}$ 로 균일하게 표시되었다.

SOI표면은 거칠지만, 이런 상태에서 얻은 기판은 태양전지나 마이크로공학분야에서와 같이 표면특성이 중요하지 않는 경우에 사용되는 것이 바람직하다. 그렇지만 박막트랜지스터의 생산과 같이 표면특성에 매우 예민한 경우에는 형성된 기판의 표면을 예를 들면 수소와 같은 비산화분위기에서 1100°C 로 열처리함으로써 평탄화할 필요가 있다. 열처리후에 원자간력현미경으로 측정한 표면조도는 50nm 평방영역의 제곱평균이 약 0.2nm 였고 상업적으로 유용한 Si웨이퍼의 조도와 동등했다.

투과전자현미경으로 횡단면을 조사해보면, 에피택설성장된 단결정 Si층에는 어떤 새로운 결정결함이 발생하지 않았으며 우수한 결정성이 유지된 것이 확인되었다.

상기 제 1기판부재는 49%불산과 30%과산화수소수용액을 교반한 혼합액에서 제 1기판부재에 잔류하는 다공질 Si의 선택에칭을 행했고, 다음에 수소분위기에서 어닐링을 행한 후에 다시 제 1기판부재나 제 2기판부재로 사용되었다. 또 제 3다공질층은 생략될 수 있었다.

(실시예 2)

제 1단결정 Si기판부재의 표면은 아래의 조건하에 HF용액에서 양극화성됨으로써 다공질표면을 형성했다.

전류밀도: $7\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 5min

다공질 Si의 두께: $5\mu\text{m}$

다음에, 산화없이 형성된 다공질 Si상에는 단결정실리콘의 아래의 조건하에서 CVD법에 의해 두께 $0.3\mu\text{m}$ 로 에피택설 성장되었다.

소스가스: $\text{SiH}_2\text{Cl}_2/\text{H}_2$

가스유량: $0.5/180\ell/\text{min}$

가스압력: 80Torr

온도: 950°C

성장속도: $0.3\mu\text{m}/\text{min}$

다시 에피택설성장된 Si층의 표면에 두께 200nm 의 SiO_2 층이 열산화에 의해서 형성되었다.

제 1기판부재의 SiO_2

층 표면은 다른 Si기판부재(제 2기판부재)의 표면과 충돌되어 접촉되었고 접합된 기판부재는 1180°C에서 5분동안 어닐링됨으로써 접합은 강고하게 되었다.

접합된 기판은, 외력의 부여에 의해 분리됨으로써, 에피택셜층 바로 밑에서 분리가 일어났다.

상기 설명한 바와 같이, 양극화성후에 다공질 Si층을 저온산화없이 에피택셜성장, 산화, 접합, 고온처리과정 등을 행하면, 구조적인 변화가 진행됨으로써, 양극화성에 의해 얻은 작은 구멍은 구멍사이즈를 확대시키기 위해 서로 응집된다. 에피택셜층 바로 밑에서 이런 구멍이 성장함으로 다공질 Si층과 에피택셜 Si층사이에서 변형이 일어나면, 이 변형에 의해, 계면에서 분리가 발생한다.

그 결과, 제 2기판부재의 Si산화막에 두께 $0.2\mu\text{m}$ 의 단결정 Si층을 얻을 수 있었다. 단결정 Si층의 분리표면에는 다공질 Si가 잔류하지 않았다. 전체영역의 100개 지점에서 측정된 단결정 Si의 두께는 $201\pm4\text{nm}$ 로 균일하게 나타났다.

SOI표면은 거칠지만, 이런 상태에서 얻은 기판은 태양전지의 제조나 마이크로공학분야와 같이 표면특성이 중요하지 않은 경우에 사용하는 것이 바람직하다. 그렇지만, 본 실시예에서는 수소분위기에서 1100°C로 열처리가 행하여졌다. 원자간력현미경으로 측정한 표면조도는 50/ μm 평방 영역의 제곱평균이 약 0.2nm 였고 상업적으로 유용한 Si웨이퍼의 조도와 동등했다.

투과전자현미경으로 횡단면을 조사해보면, 에피택셜성장된 단결정 Si층에는 어떤 새로운 결정결함이 발생하지 않았으며 우수한 결정성이 유지된 것이 확인되었다.

상기 제 1기판부재는 49%불산과 30%과산화수소수용액을 교반한 혼합액에서 잔류하는 다공질 Si의 선택에칭을 행함으로써 다공질 Si를 제거하고 표면을 연마함으로써 형성된 기판부재는 이후에 다시 제 1기판부재나 제 2기판부재로 사용될 수 있었다.

(실시예 3)

제 1단결정 Si기판부재의 표면은 아래의 조건하에 HF용액에 침지되어 양극화성됨으로써 다공질표면을 형성했다.

전류밀도: $7\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 3min

다공질 Si의 두께: $3\mu\text{m}$

다음에, 기판부재는 산소분위기에서 400°C에서 1시간동안 양극화성됨으로써 다공질 Si의 구멍내면은 열산화막으로 피복되었다. 그후 다공질 Si에는 단결정 Si가 아래의 성장조건에서 CVD법에 의해 두께 $0.15\mu\text{m}$ 로 에피택셜 성장되었다.

소스가스: $\text{SiH}_2\text{Cl}_2/\text{H}_2$

가스유량: $0.5/180\text{l}/\text{min}$

가스압력: 80Torr

온도: 950°C

성장속도: $0.3\mu\text{m}/\text{min}$

다시, 에피택셜성장된 Si층의 표면영역에 두께 100nm 의 SiO_2 층이 열산화에 의해서 형성되었다.

투영스트로크가 다공질 Si나 에피택셜 Si의 계면부근에 도달하도록 수소이온주입은 제 1기판부재로서의 웨이퍼의 표면에서부터 행해졌다. 주입된 이온은 특정된 것이 아니고 계면에 기포층이나 주입원소의 고농도층(변형층)이나 주입순상층과 같은 분리층을 생성할 수 있는 원소로 될 수 있다.

제 1기판부재의 SiO_2 층 표면은 다른 Si기판부재(제 2기판부재)의 표면과 충돌되어 접촉된 후 5분동안 어닐링됨으로써 접합은 강고하게 되었다.

이 어닐링은 주입순상층, 주입원소의 고농도층(변형층)이나 기포층이 확산하지 않는 조건에서 행해지고, 이 층은 분리층을 구성한다.

접합된 기판부재가 외력을 부여하여 분리됨으로써, 다공질 Si층과 에피택셜 Si층의 면에서 분할이 발생되었다.

그 결과, 제 2기판부재의 Si산화막에 두께 $0.1\mu\text{m}$ 의 단결정 Si층이 형성될 수 있었다. 단결정 Si층의 분리된 표면에는 다공질 Si가 잔류하지 않았다. 형성된 단결정 Si층의 전체영역의 100개 지점에서 측정된 두께는 $101\pm2\text{nm}$ 로 균일하게 나타났다.

다음에 수소에서 1100°C로 1시간동안 열처리가 행해졌다. 원자간력현미경에 의해 측정된 표면조도는 50/ μm 평방의 영역에서의 제곱평균이 약 0.2nm 였고, 상업적으로 유용한 Si웨이퍼의 표면조도와 동등했다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택셜성장한 단결정 Si층에는 새로운 결정결함이 발생하지 않았으며 양호한 결정성이 유지된 것이 확인되었다.

제 1기판부재에 잔류하는 다공질 Si는 49%불산과 30%과산화수소수의 혼합액을 교반하여 선택에칭함으로써 제거되었고 이후에 제 1기판부재나 제 2기판부재로 재사용될 수 있었다.

(실시예 4)

제 1단결정 Si기판부재의 표면이 아래의 조건하에서 HF용액에 침지되어 양극화성됨으로써, 표면을 다공질로 만들었다.

전류밀도: $7 \text{ mA} \cdot \text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 5min

다공질 Si의 두께: $5 \mu\text{m}$

다음에, 상기 기판부재는 산소분위기에서 400°C 에서 1시간동안 산화됨으로써 다공질 Si내에서 구멍의 내면은 열산화막으로 피복되었다. 그후 다공질 Si층의 표면부에서 산화막이 HF로 제거되었다. 그러므로 다공질 Si층의 표면부에서 구멍의 내벽은 산화막으로 피복되지 않았으나 단지 다공질 Si층의 하부에서 구멍의 내벽은 산화막으로 피복되었다. 그후 기판부재가 수소에서 1040°C 에서 5분동안 구워져서 다공질 Si의 표면구멍이 채워졌다. 채워진 구멍을 가진 다공질 Si의 표면에는 $0.5 \mu\text{m}$ 두께를 가진 단결정 Si의 p^- 에피택셜층과, $0.1 \mu\text{m}$ 두께를 가진 단결정 Si의 n^+ 에피택셜층이 아래의 조건에서 CVD법에 의해 에피택셜 성장되었다:

소스가스: $\text{SiH}_2\text{Cl}_2/\text{H}_2$

가스유량: $0.5/180 \ell/\text{min}$

가스압력: 80Torr

온도: 950°C

성장속도: $0.3 \mu\text{m}/\text{min}$

다시, 에피택셜 성장된 Si층의 표면영역에 열산화에 의해서, 200 nm 두께의 SiO_2 층이 형성되었다.

제 1기판의 SiO_2 층 표면이 다른 Si기판부재(제 2기판부재)의 표면과 충첩되어 접촉된 후 1180°C 에서 5분동안 어닐링됨으로써, 접합은 강고하게 되었다.

상기 접합된 기판부재가 외력의 부여에 의해서 분리됨으로써 p^- 에피타설 층바로 아래에서 분할이 발생했다.

다공질 Si상에서 에피택셜성장하기 전에 구멍의 내벽을 산화시키고 형성된 산화막을 제거하고, 수소에서 구워기 때문에, HF로 구멍벽상의 산화막을 제거한 다공질 Si의 측면층에는 구멍의 응집이 일어났다. 그러므로, 기계적 강도가 약한 측면층은 비다공질층 바로 밑에서 분리층으로 형성되었다.

그 결과, 제 2기판부재의 Si산화막에는 n^+ 매복층을 가진 $1.4 \mu\text{m}$ 두께의 단결정 Si층이 형성되었다. 형성된 단결정 Si층의 표면에는 다공질 Si가 잔류하지 않았고, 전체 영역의 100개 지점에서 측정된 단결정 Si층의 두께는 $1.4 \pm 0.02 \mu\text{m}$ 로 균일하게 나타났다.

다음에 수소에서 1100°C 로 1시간동안 열처리가 행해졌다. 원자간력현미경에 의해 측정된 표면조도는 $50 \mu\text{m}$ 평방의 영역에서의 제곱평균이 약 0.2 nm 였고, 상업적으로 유용한 Si웨이퍼의 표면조도와 동등했다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택셜성장한 단결정 Si층에는 새로운 결정결함이 발생하지 않았으며 양호한 결정성이 유지된 것이 확인되었다.

제 1기판부재는 잔류하는 다공질 Si의 표면을 연마한후에 제 1기판부재나 제 2기판부재로 재사용될 수 있었다.

(실시예 5)

제 1단결정 Si기판부재의 표면이 아래의 조건하에서 HF용액에 침지되어 양극화성됨으로써, 표면을 다공질로 만들었다:

전류밀도: $7 \text{ mA} \cdot \text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 5min

다공질 Si의 두께: $5 \mu\text{m}$

다음에, 상기 기판부재는 산소분위기에서 400°C 에서 1시간동안 산화되었다. 이 산화에 의해서 다공질 Si의 구멍의 내면은 열산화막으로 피복되었다. 그 후, 다공질 Si의 표면부의 열산화막은 HF로 제거되었다. 다음에 제 1기판부재로서의 웨이퍼는 에피택시장치에 위치되어서 다공질 Si의 측면에 구멍을 채우기 위해 수소분위기에서 1040°C 로 5분동안 구워졌다. 채워진 표면기구멍을 가진 다공질 Si의 표면에는 아래의 성장조건에서 MOCVD(metal organic chemical vapor deposition)법에 의해서, $0.5 \mu\text{m}$ 두께로 단결정 GaAs가 에피택셜 성장되었다.

소스가스: $\text{TMG/A}_2\text{H}_3/\text{H}_2$

가스압력: 80Torr

온도: 700°C

제 1기판부재의 GaAs층의 표면이 다른 Si기판부재(제 2기판부재)의 표면과 충첩되어 접촉된후 700°C 에서 1시간동안 어닐링됨으로써 접합은 강고하게 되었다.

상기 접합기판부재가 외력의 부여에 의해, 분리됨으로써 GaAs에피택셜층 바로 아래에서 분할이 발생했다.

에피택셜성장하기 전에 수소분위기에서 굽는 동안 다공질 Si의 측면층에서 HF로 구멍벽의 산화막을 제거했기 때문에, 구멍벽에서 산화막을 제거한 상기 측면층에는 구멍의 응집이 발생했고 기계적 강도가 약했으므로, 분리층을 형성했다.

그 결과, 제 2기판부재에 두께 $0.2\mu\text{m}$ 의 단결정 GaAs층을 얻을 수 있었다. 형성된 단결정 GaAs층의 전체영역의 100개 지점에서 측정된 두께는 $0.5\pm0.01\mu\text{m}$ 로 균일하게 나타났다.

그후에 GaAs층의 표면이 거칠고 Si의 잔류물을 가질 수 있었기 때문에, 표면접촉연마를 행했다. 그러므로 연마한 표면조도는 상업적으로 유용한 GaAs웨이퍼의 조도와 동등했다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택셜 성장한 단결정 GaAs층에는 새로운 결정결함이 발생하지 않았으며, 양호한 결정성이 유지된 것이 확인되었다.

제 2기판부재로는 상기 Si기판부재 대신에 표면을 산화한 Si기판부재가 사용될 수 있다. 또, Si기판부재나 GaAs막에 피복된 SiO_2 막을 형성한 후에 접합이 행해질 수 있다. 이런 경우에는 최종적으로 형성된 기판이 절연기판부재상에 GaAs로서 사용된다.

제 1기판부재에 잔류하는 다공질 Si는 49%불산과 30%과산화수소수의 혼합액을 교반하여 선택에침함으로 제거되었고 이후에 제 1기판부재나 제 2기판부재로 재사용될 수 있었다.

(실시예 6)

제 1단결정 Si기판부재상에는, 단결정 Ge가 아래의 성장조건에서 CVD법에 의해서, $0.02\mu\text{m}$ 두께로 에피택셜 성장되었다:

소스가스: GeH_4/H_2

가스유량: $0.1/180\ell/\text{min}$

가스압력: 80Torr

온도: 700°C

성장속도: $0.05\mu\text{m}/\text{min}$

다음에, 에피택셜 Ge층에는 단결정 Si가 아래의 성장조건하에서 CVD법에 의해 두께 $0.5\mu\text{m}$ 로 에피택셜 성장되었다.

소스가스: $\text{SiH}_2\text{Cl}_2/\text{H}_2$

가스유량: $0.5/180\ell/\text{min}$

가스압력: 80Torr

온도: 950°C

성장속도: $0.3\mu\text{m}/\text{min}$

다시 에피택셜 성장된 Si층의 표면에 두께 200nm 의 SiO_2 층이 열산화에 의해서 형성되었다.

SiO_2 층 표면은 다른 Si기판부재(제 2기판부재)의 표면과 중첩되어 접촉된 후, 1180°C 에서 5분동안 어닐링됨으로써 접합은 강고하게 되었다.

접합된 기판은 외력의 부여에 의해 분리됨으로써, 에피택셜 Si/Ge계면에서 분리가 일어났다.

Si와 Ge의 격자상수의 차이에 기인하여 계면에는 결함이 도입되는 것이 알려져 있다. 또, 양쪽의 층이 초박막이면 이런 초박막으로 결함이 도입되기 쉽다. 따라서, 본 실시예에서는 Ge막으로 결함이 도입된다. 격자상수의 차이와 결함의 도입 때문에, Si/Ge계면이 약해지고 이것에 의해 분열이 이루어진다.

그 결과, Si산화막에는 $0.5\mu\text{m}$ 두께의 단결정 Si층이 형성될 수 있었다. 전체영역의 100개 지점에서 측정된 단결정 Si층의 두께는 $501\pm10\text{nm}$ 로 균일하게 나타났다.

다음에 수소에서 1100°C 로 1시간동안 열처리가 행해졌다. 원자간력현미경에 의해 측정된 표면조도는 $50\mu\text{m}$ 평방의 영역에서의 제곱평균이 약 0.2nm 였고, 상업적으로 유용한 Si웨이퍼의 표면조도와 동등하다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택셜성장한 단결정 Si층에는 새로운 결정결함이 발생하지 않았으며 양호한 결정성이 유지된 것이 확인되었다.

제 1기판부재는 잔류하는 Ge층이 표면을 연마함으로써 제거되고 이후에 제 1기판부재나 제 2기판부재로 재사용될 수 있었다.

(실시예 7)

제 1단결정 Si기판부재의 표면은 아래의 조건하에서 HF용액에 침지되어 양극화성되었다.

최초에 형성되는 제 1다공질층을 형성하는 조건:

전류밀도: $1 \text{ mA} \cdot \text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 0.1min

다공질 Si의 두께: $0.02 \mu\text{m}$

제 2다공질층을 형성하는 조건:

전류밀도: $50 \text{ mA} \cdot \text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 5sec

다공질 Si의 두께: $0.1 \mu\text{m}$

제 3다공질층을 형성하는 조건:

전류밀도: $7 \text{ mA} \cdot \text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 1min

다공질 Si의 두께: $1 \mu\text{m}$

이와 같은 양극화성조건하에서, 전류밀도 $50 \text{ mA} \cdot \text{cm}^{-2}$ 를 사용하여 형성되고, 제 1다공질층보다 두께가 두꺼운 제 2다공질 Si층은 큰 다공도를 나타냈고 구조적으로 더 취약하게 되었다.

다음에, 상기 기판부재가 산소분위기에서 400°C 로 1시간동안 양극화성층으로써, 다공질 Si의 구멍의 내면은 열산화막으로 피복되었다. 그후 제 1기판부재로서의 웨이퍼는 에피택시장치에 놓여지고 수소분위기하에 1040°C 로 5분동안 구워짐으로써 다공질 Si의 표면영역의 구멍이 채워졌고, 전류밀도 $1 \text{ mA} \cdot \text{cm}^{-2}$ 로 형성된 최외층의 제 1다공질 Si층은 비다공질 상태로 변화되었다. 그후에, 비다공질 상태로 변화된 층에는 아래의 성장조건하에 단결정 Si가 CVD(chemical vapor deposition)법에 의해 $0.3 \mu\text{m}$ 두께로 에피택셜 성장되었다.

소스가스: $\text{SiH}_2\text{Cl}_2 / \text{H}_2$

가스유량: $0.5/180 \ell/\text{min}$

가스압력: 80Torr

온도: 950°C

성장속도: $0.3 \mu\text{m}/\text{min}$

다시, 에피택셜 성장된 Si층의 표면영역에는 열산화에 의해서 두께 200 nm 의 SiO_2 층이 형성되었다.

별도의 석영기판부재(제 2기판부재)가 N_2 플라즈마로 표면처리되었고 물로 세척되었다. 그후, 제 1기판의 SiO_2 층 표면이 석영기판부재의 플라즈마처리면과 충돌되어 접촉된 후, 400°C 에서 60분동안 열처리됨으로써 접합은 강고하게 되었다.

상기 접합된 기판부재는 외력을 부여함으로써, 즉 큰 다공도를 가진 층을 파괴함으로써 비다공질 Si층 바로 밑에서 2개의 기판부재로 분할되었다.

다공질 Si상의 에피택셜성장이전에 제 1다공질 Si층이 수소에서 구워져서 비다공질로 만들어졌기 때문에, $50 \text{ mA} \cdot \text{cm}^{-2}$ 전류밀도로 형성되고 비다공질 Si바로 밑에 형성된 다공질 Si는 최대다공도를 가지는 층으로 되었다.

그 결과, 제 2기판부재의 Si산화막에 두께 $0.2 \mu\text{m}$ 의 비다공질 단결정 Si층을 얻을 수 있었다. 단결정 Si층의 표면에는 다공질 Si가 잔류하지 않았다. 전체영역의 100개 지점에서 측정된 두께는 $201 \pm 4 \text{ nm}$ 로 균일하게 나타났다.

또한, 수소에서 1100°C 나 그 이하에서 3시간동안 열처리가 행해졌다. 원자간력현미경에 의해 측정된 표면조도는 $50 \mu\text{m}$ 평방의 영역에서의 제곱평균이 약 0.2 nm 였고, 상업적으로 유용한 Si웨이퍼의 표면조도와 동등했다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택셜성장한 단결정 Si층에는 새로운 결정결함이 발생하지 않았으며 양호한 결정성이 유지된 것이 확인되었다.

상기 제 1기판부재는 49% 불산과 30% 과산화수소수용액을 교반한 혼합액에서 제 1기판부재의 잔류하는 다공질 Si를 제거하기 위해 선택에칭을 행했고, 다음에 수소분위기에서 어닐링을 행한 후에 다시 제 1기판부재나 제 2기판부재로 사용될 수 있었다. 또 제 3다공질층은 생략될 수 있었다.

(실시예 8)

제 1단결정 Si기판부재의 표면은 아래의 조건하에서 HF용액에서 침지되어 양극화성 되었다.

최초에 형성되는 제 1다공질층을 형성하는 조건:

전류밀도: $1\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 0.25min

다공질 Si의 두께: $0.05\mu\text{m}$

제 2다공질층을 형성하는 조건:

전류밀도: $50\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 5sec

다공질 Si의 두께: $0.1\mu\text{m}$

제 3다공질층을 형성하는 조건:

전류밀도: $7\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 1min

다공질 Si의 두께: $1\mu\text{m}$

이와 같은 양극화성조건에서, 전류밀도 $50\text{mA}\cdot\text{cm}^{-2}$ 를 사용하여 형성되고, 제 1다공질층보다 두께가 두꺼운 제 2다공질 Si층은 큰 다공도를 나타냈고 구조적으로 더 취약하게 되었다.

다음에, 상기 기판부재가 산소분위기에서 400°C 로 1시간동안 양극화성됨으로써 다공질 Si의 구멍의 내면은 열산화막으로 피복되었다. 그 후 제 1기판부재로서의 웨이퍼는 에피택시장치에 놓여졌고 수소분위기하여 1040°C 로 5분동안 구워짐으로써 다공질 Si의 표면영역의 구멍이 채워졌다. 그 결과, 전류밀도 $1\text{mA}\cdot\text{cm}^{-2}$ 로 형성된 최외층의 제 1다공질 Si층은 비다공질 상태로 변화되었다. 이렇게 형성된 비다공질층은 우수한 다공성을 가진 단결정층이었다.

그후, 증기 에피택설성장없이 20nm 두께의 SiO_2 층이 열산화에 의해서 에피택설 성장된 Si층의 표면영역에 형성되었다.

SiO_2 층의 표면이 다른 Si기판부재(제 2기판부재)의 표면과 중첩되어 접촉된 후, 1180°C 에서 5분동안 열처리를 행함으로써 접합은 강고하게 되었다.

상기 접합된 기판부재가 외력의 부여에 의해서 즉, 큰 다공도를 가진 층을 파괴함으로써 2개의 기판부재로 분리되었다.

다공질 Si의 표면은 열처리에 의해서 Si원자가 이동함으로 측면상의 구멍이 채워진다. 또, H_2 는 표면산화막을 제거하고 재발생되지 않도록 한다(N.Sato et al. J. Electrochem. Soc, Vol 142, No. 9, 3116(1996)). H_2 로 굽는동안 제 1다공질 Si 층을 구성하는 Si원자가 구멍을 채우기 위해 소비됨으로써, $50\text{mA}\cdot\text{cm}^{-2}$ 전류밀도로 형성되고 비다공질 단결정 Si의 최외층 바로 밑에 형성된 제 2다공질 Si층은 가장 높은 다공도를 나타냈다.

그 결과, 제 2기판부재에 형성된 Si산화막상에 두께 $40\mu\text{m}$ 의 단결정 Si층을 얻을 수 있었다. 전체영역의 100개 지점에서 측정된 단결정 Si층의 두께는 $40 \pm 0.8\mu\text{m}$ 로 균일하게 나타났다.

또한, 수소에서 1000°C 로 1시간동안 열처리가 행해졌다. 원자간력현미경에 의해 측정된 표면조도는 $50\mu\text{m}^2$ 평방의 영역에서의 제곱평균이 약 $0.2\mu\text{m}$ 였고, 상업적으로 유용한 Si웨이퍼의 표면조도와 동등했다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택설성장한 단결정 Si층에는 새로운 결정결함이 발생하지 않았으며 양호한 결정성이 유지된 것 이 확인되었다.

상기 제 1기판부재는 49% 불산과 30% 과산화수소수용액을 교반한 혼합액에서 제 1기판부재에 잔류하는 다공질 Si를 제거하기 위해 선택에칭을 행했고, 다음에 수소분위기에서 어닐링을 행한 후에 다시 제 1기판부재나 제 2기판부재로 사용될 수 있었다. 또 제 3다공질층은 생략될 수 있었다.

(실시예 9)

제 1단결정 Si기판부재의 표면이 아래의 조건 하에서 HF용액에 침지되어 양극화성됨으로써 표면을 다공질로 만들었다:

전류밀도: $1\text{mA}\cdot\text{cm}^{-2}$

양극화성용액: $\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH} = 1:1:1$

시간: 5min

Si다공질의 두께: 0.1 μ m

다음에, 상기 기판부재는 산소분위기에서 400°C에서 1시간동안 산화됨으로써 다공질 Si내에 구멍의 내면은 열산화막으로 피복되었다. 다음에 제 1기판부재인 웨이퍼는 에피택시장치에 위치되어서 다공질 Si의 측면의 구멍을 채우기 위해 수소분위기에서 1040°C로 5분동안 구워졌다. 따라서, 형성된 다공질 Si상에는 단결정실리콘의 아래의 성장조건하에서 CVD법에 의해 두께 0.3 μ m로 에피택설성장되었다.

소스가스: SiH₂Cl₂/H₂

가스유량: 0.5/180ℓ/min

가스압력: 80Torr

온도: 950°C

성장속도: 0.3 μ m/min

다시, 에피택설 성장된 Si층의 표면여역에 열산화에 의해서 두께 200nm의 SiO₂층이 형성되었다.

SiO₂층의 표면이 다른 Si기판부재(제 2기판부재)의 표면과 충돌되어 접촉된 후, 1180°C에서 5분동안 열처리를 행함으로써 접합 강고하게 되었다.

상기 접합된 기판부재는 얇은 다공질층으로 이 기판부재를 분할하기 위해 외력을 부여함으로써 분리된다.

그 결과 제 2기판부재의 Si산화막에 두께 0.2 μ m의 단결정 Si층이 형성될 수 있다. 비다공질상태로 변화하지 않고 잔류하는 다공질층은 분리후에 층으로 잔류하지 않고, 단결정 Si층상의 표면거침으로서 남았다. 형성된 단결정 Si층의 전체영역의 100개 지점에서 측정된 두께는 201±4nm로 균일하게 나타났다.

박막트랜지스터의 제조와 같이 표면특성에 매우 민감한 경우에는, 수소분위기에서 1100°C로 1시간동안 열처리가 행해졌다. 원자간력현미경에 의해 측정된 표면조도는 50 μ m²평방의 영역에서의 제곱평균이 약 0.2nm였고, 상업적으로 유용한 Si웨이퍼의 표면조도와 동등했다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택설성장한 단결정 Si층에는 새로운 결정결함이 발생하지 않았으며 양호한 결정성이 유지된 것이 확인되었다.

표면이 거친 제 1기판부재는 에칭이나 연마없이 수소어닐링으로 표면연마처리를 행했고, 이후에 제 1기판부재나 제 2기판부재로 재사용될 수 있었다.

(실시예 10)

제 1단결정 Si기판부재의 표면은 아래의 조건하에서 HF용액에 침지되어 양극화성됨으로써 표면을 다공질로 만들었다:

전류밀도: 1mA·cm⁻²

양극화성용액: HF:H₂O:C₂H₅OH = 1:1:1

시간: 1min

다공질 Si의 두께: 0.2 μ m

다음에, 다공질층에 구멍의 내면을 산화하는 일이 없이 상기 기판부재가 에피택시장치에 위치되고 수소분위기에서 1040°C로 5분동안 구워짐으로써 다공질 Si의 측면상의 구멍이 채워졌다. 따라서, 형성된 다공질 Si상에는 단결정 Si가 아래의 성장조건하에서 CVD법에 의해 두께 0.3 μ m로 에피택설성장되었다.

소스가스: SiH₂Cl₂/H₂

가스유량: 0.5/180ℓ/min

가스압력: 80Torr

온도: 950°C

성장속도: 0.3 μ m/min

다시, 에피택설 성장된 Si층의 표면영역에 열산화에 의해서, 두께 200nm의 SiO₂층이 형성되었다.

제 1기판부재의 Si층 표면이 다른 Si기판부재(제 2기판부재)의 표면과 충돌되어 접촉된 후, 1180°C에서 5분동안 열처리를 행함으로써 접합은 강고하게 되었다.

비다공질상태로 변하지 않고 잔류한 다공질층의 얇은 부분으로 기판부재를 분할하기 위해 외력을 부여함으로써 접합된 기판부재가 분리되었다.

그 결과, Si산화막상에 두께 0.2 μ m의 단결정 Si를 얻을 수 있었다. 에피택설성장이전에 다공질 Si의 구멍의 내벽이 양극화성되지 않았기 때문에, 에피택설층의 바로밑에서 다공질 Si가 약해졌다. 또 약해진 다공질층이 매우 얇았기 때문에, 분리후에 층으로 남지 않고 단결정 Si층에 표면거침으로서 남았다. 형성된 단결정 Si층의 전체영역의 100개 지점에서 측정한 두께는 201±4nm로 균일하게 표시되었다.

수소분위기에서 1100°C로 1시간동안 열처리가 행해졌다. 원자간력현미경에 의해 측정된 표면조도는 50μm²평방의 영역에서의 제곱평균이 약 0.2nm였고, 상업적으로 유용한 Si웨이퍼의 표면조도와 동등했다.

투과전자현미경으로 횡단면을 관찰한 결과, 에피택설성장한 단결정 Si층에는 새로운 결정결함이 발생하지 않았으며 양호한 결정성이 유지된 것이 확인되었다.

49%불산과 30%과산화수소수의 혼합액으로 약간의 표면에칭에 의해서 제1기판부재상의 표면거침이 제거되었다. 그 후 제1기판을 수소어닐링을 행해서 제1기판부재나 제2기판부재로 다시 사용할 수 있었다.

(실시예 11)

단결정 Si웨이퍼를 구성하는 제1기판부재의 표면은 아래의 조건하에서 HF용액에서 침지되어 양극화성되었다.

최초에 형성되는 제1다공질층을 형성하는 조건:

전류밀도: 1mA·cm⁻²

양극화성용액: HF:H₂O:C₂H₅OH = 1:1:1

시간: 0.1min

다공질 Si의 두께: 0.02μm

다음에 형성되는 제2다공질층을 형성하는 조건:

전류밀도: 50mA·cm⁻²

양극화성용액: HF:H₂O:C₂H₅OH = 1:1:1

시간: 5sec

다공질 Si의 두께: 0.1μm

이와 같은 양극화성조건하에서, 전류밀도 50mA·cm⁻²를 사용하여 형성된, 제2다공질 Si층은 제1다공질층보다 두껍게 되었고 또 큰 다공도를 나타냈고, 그에 의해 구조적으로 취약하게 되었다.

다음에, 상기 기판부재가 수소분위기에서 400°C로 1시간동안 양극화성으로써, 다공질 Si의 구멍의 내면은 열산화막으로 피복되었다. 그후 제1기판부재와 같은 웨이퍼는 에피택시장치에 놓여져서 수소분위기하에 1040°C로 5분동안 구워짐으로써 제1다공질 Si층은 비다공질 단결정 Si층으로 변화되었다. 제2다공질층은 비다공질 단결정 Si층의 바로 밑에 형성되었다.

그 후에, 이렇게 형성된 비다공질 Si에는 아래의 성장조건하에 단결정 Si가 CVD(chemical vapor deposition)법에 의해 0.3μm두께로 에피택설 성장되었다.

소스가스: SiH₂Cl₂/H₂

가스유량: 0.5/180ℓ/min

가스압력: 80Torr

온도: 950°C

성장속도: 0.3μm/min

다시 에피택설성장된 Si층의 표면영역에는 두께 20nm의 SiO₂층이 열산화에 의해서 형성되었다.

이와 별개로, 단결정 Si웨이퍼가 제2기판부재로서 준비되었다.

제1기판상에 SiO₂층의 표면이 제2기판부재의 Si표면과 충첩되어 접촉된 후, 1180°C에서 5분동안 어닐링을 행함으로써 접합이 강고하게 되었다.

접합된 2개의 기판부재를 구성하는 구성부재로서의 접합웨이퍼는 고다공도를 가지는 제2다공질층으로 기판부재를 분할하기 위해 외부력을 부여함으로 분리된다.

상기에 서술한 바와 같이, 에피택설성장이전에 수소분위기에서 구움으로써 제1다공질 Si를 구성하는 원자의 이동으로 구멍을 채우며, 그에 의해 비다공질 단결정 Si층을 형성하기 위해 에피택설층과 일체가 되는 비다공질층을 형성한다.

그 결과, Si산화막상에 두께 0.2μm의 단결정 Si층을 형성할 수 있었다. 형성된 단결정 Si층의 전체영역의 100개 지점에서 측정된 두께는 201±4nm로 균일하게 나타났다. 제2기판부재상의 비다공질단결정 Si층의 표면이 거칠기 때문에 1100°C에서 수소분위기에서 1시간동안 열처리가 행해졌다. 원자간력 현미경에 의해 측정된 표면조도는 50μm²평방영역에서의 제곱평균이 약 0.2nm였다.

제1기판부재상에 잔류하는 표면거침은 49%불산과 30%과산화수소수를 교반한 혼합액에서 선택에칭함으로써 제거되었다. 그러므로 수소분위기에서 제1기판부재가 어닐링된 후에 제1기판부재나 제2기판부재로 재사용될 수 있었다.

상기 각 실시예에는, 1개의 제 1기판부재를 사용하여 제 1기판부재의 양표면에 상기 언급한 층을 형성하고 양표면에 2개의 제 2기판부재를 접합하고 상기 접합표면으로부터 2개의 제 2기판부재로 분리함으로써 2개의 SOI기판이 동시에 생산될 수 있다.

상기 예에서는, 접합된 기판부재를 분리한 후에 제 1기판부재에 남아 있는 다공질 Si층을 제거하기 위하여 연마, 열처리나 에칭등이 사용된다. 예칭의 경우에는 예칭제로서, 아래의 선택에칭 액이 사용될 수 있다.

불산;

불산+과산화수소수;

불산+알코올;

불산+알코올+과산화수소수

완충불산;

완충불산+과산화수소수;

완충불산+알코올;

완충불산+알코올+과산화수소수.

또한, 통상의 Si에칭액을 사용할때에도, 다공질 Si의 매우 큰 표면에서는 어느 정도까지 선택에칭이 이루어질 수 있다.

발명의 효과

상기 서술한 바와 같이, 본 발명에 따르면, 제 2기판부재의 분리표면에 잔류층이 거의 없어 분리표면의 선택연마나 선택에칭을 생략할 수 있고, 기판을 저가로 생산할 수 있다.

(57) 청구의 범위

청구항 1.

제 1층과 이 제 1층위에 인접해서 형성된 제 2층을 가진 제 1기판부재를 준비하는 공정과;

상기 제 1기판부재를 상기 제 2기판부재에 접합하는 공정과;

상기 제 1기판부재와 상기 제 2기판부재를 분리하고, 상기 제 2층을 상기 제 2기판부재상에 뚫기는 공정을 구비하고;

상기 제 1기판부재와 상기 제 2기판부재의 분리는 상기 제 1층과 상기 제 2층의 계면에 의해 행해지는 것을 특징으로 하는 기판의 제작방법.

청구항 2.

제 1항에 있어서, 상기 제 1기판부재의 표면에 다공질영역을 형성한 후, 이 다공질영역의 표면부의 측벽부를 비다공질화해서 상기 제 2층을 비다공질상태로 형성하고 상기 제 1층을 다공질상태로 형성하는 것을 특징으로 하는 기판의 제작방법.

청구항 3.

제 1항에 있어서, 상기 제 1층의 분리에 의해 노출된 상기 제 2층의 표면은 선택연마 또는 선택연마를 사용하지 않고 비산소분위기에서 열처리에 의해 평탄화되는 것을 특징으로 하는 기판의 제작방법.

청구항 4.

제 1항에 있어서, 제 1다공질층과 이 제 1다공질층보다 높은 다공도의 제 2다공질층은 상기 제 1기판부재의 표면에 형성되고,

상기 제 1다공질층을 비다공질화해서 상기 제 2층을 상기 제 2다공질층위에 인접해서 형성하도록 상기 제 2층을 비다공질상태로 형성하는 것을 특징으로 하는 기판의 제작방법.

청구항 5.

제 1항에 있어서, 상기 제 1기판부재의 표면에 다공질층이 형성되고, 비다공질층을 포함하는 상기 제 2층은 이 다공질층의 구멍의 벽면의 산화없이 에피택설성장에 의해 형성되는 것을 특징으로 하는 기판의 제작방법.

청구항 6.

제 1항에 있어서, 이온주입은 상기 제 1층과 상기 제 2층의 계면에서 행해지는 것을 특징으로 하는 기판의 제작방법.

청구항 7.

제 1항에 있어서, 상기 제 1기판부재의 표면에 다공질층이 형성된 후, 이 다공질층의 구멍의 벽면이 산화되고;

이 다공질층의 측벽의 산화막이 제거된 후, 이 다공질층의 측벽이 비산소분위기에서 열처리를 받는 것을 특징으로 하는 기판의 제작방법.

청구항 8.

제 1항에 있어서, 제 1다공질층, 이 제 1다공질층보다 높은 다공도를 가진 제 2다공질층, 이 제 2다공질층보다 낮은 다공도를 가진 제 3다공질층이 상기 제 1기판부재의 표면에 형성되고,

이 제 1다공질층은 비다공질화되고, 이 제 2다공질층은 이 비다공질화된 층에 인접한 것을 특징으로 하는 기판의 제작방법.

청구항 9.

제 8항에 있어서, 상기 제 1다공질층이 비다공질화한 후, 에피택설성장이 행해지는 것을 특징으로 하는 기판의 제작방법.

청구항 10.

제 1항에 있어서, 상기 제 1기판부재의 표면에 다공질층이 형성되고, 이 다공질층의 구멍의 벽면이 산화되고,

이 구멍의 산화된 벽을 가진 이 다공질층은 환원분위기속에서 열처리를 받는 것을 특징으로 하는 기판의 제작방법.

청구항 11.

제 10항에 있어서, 에피택설성장은 이 열처리에 의해 비다공질화된 표면에서 행해지는 것을 특징으로 하는 기판의 제작방법.

청구항 12.

제 1항에 있어서, 상기 제 1기판부재의 표면에 다공질층을 형성한 후, 이 다공질층을 산화하는 일이 없이 이 다공질층은 이 다공질층의 표면을 비다공질화하기 위하여 비산소분위기에서 열처리를 받으며;

에피택설성장은 비다공질화된 표면에서 행해지는 것을 특징으로 하는 기판의 제작방법.

청구항 13.

제 1항에 있어서, 상기 제 1기판부재는 실리콘으로 이루어지는 것을 특징으로 하는 기판의 제작방법.

청구항 14.

제 1항에 있어서, 상기 제 1층은 다공질재료로 이루어지는 것을 특징으로 하는 기판의 제작방법.

청구항 15.

제 1항에 있어서, 상기 제 2층은 비다공질재료로 이루어지는 것을 특징으로 하는 기판의 제작방법.

청구항 16.

제 1항에 있어서, 상기 제 2층은 비다공질반도체층과 그 위에 형성된 산화층으로 이루어지는 것을 특징으로 하는 기판의 제작방법.

청구항 17.

상기 제 2층은 전기전도형 또는 불순물농도가 다른 복수의 층으로 이루어지는 것을 특징으로 하는 기판의 제작방법.

청구항 18.

제 1항에 있어서, 상기 제 2층의 형성이전에, 상기 제 1층의 다공질층내의 구멍의 벽면은 저온에서 산화되고, 이 다공질층의 표면의 근방의 벽면의 산화막이 제거되는 것을 특징으로 하는 기판의 제조방법.

청구항 19.

제 1항에 있어서, 상기 제 2층은 열처리에 의해 적어도 다공질층의 측벽부를 비다공질화함으로써 형성된 층과, 이 비다공질화된 층의 표면에 형성된 산화막을 포함하는 것을 특징으로 하는 기판의 제작방법.

청구항 20.

제 19항에 있어서, 상기 열처리는 수소내에서 행해지는 것을 특징으로 하는 기판의 제작방법.

청구항 21.

제 1항에 있어서, 분리후의 상기 제 1기판은 재사용되는 것을 특징으로 하는 기판의 제조방법.

청구항 22.

제 1항에 있어서, 상기 분리는 가압, 인장, 전단, 뼈기삽입, 열처리, 산화, 진동인가 또는 와이어커팅에 의해 행해지는 것을 특징으로 하는 기판의 제작방법.

청구항 23.

제 1항에 있어서, 상기 제 2기판의 적어도 피접합표면은 산화실리콘 또는 실리콘으로 이루어지는 것을 특징으로 하는 기판의 제작방법.

청구항 24.

제 1항에 있어서, 상기 제 2기판부재는 광투과성부재로 이루어지는 것을 특징으로 하는 기판의 제작방법.

청구항 25.

제 4항에 있어서, 상기 제 1다공질층의 두께는 제 2다공질층의 두께보다 작은 것을 특징으로 하는 기판의 제작방법.

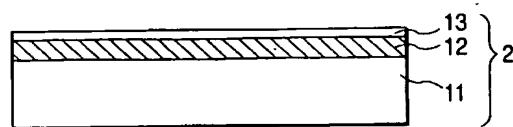
청구항 26.

제 1항의 방법에 의해 제조된 것을 특징으로 하는 기판.

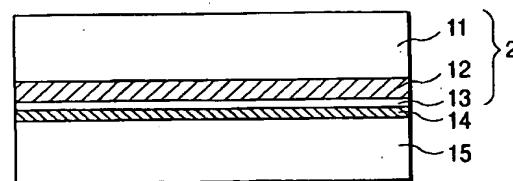
도면

도면 1

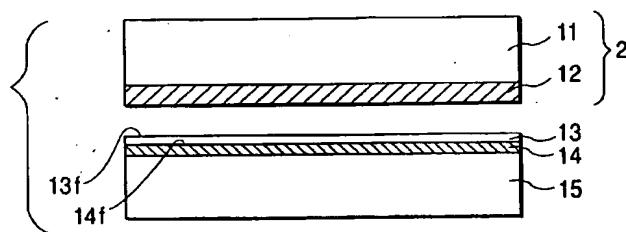
(A)



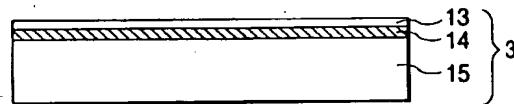
(B)



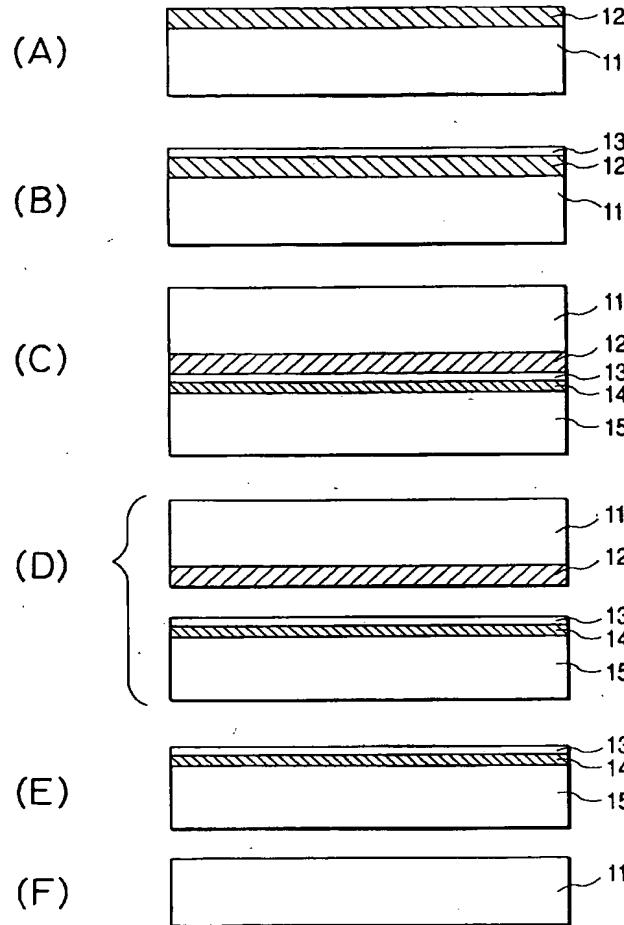
(C)



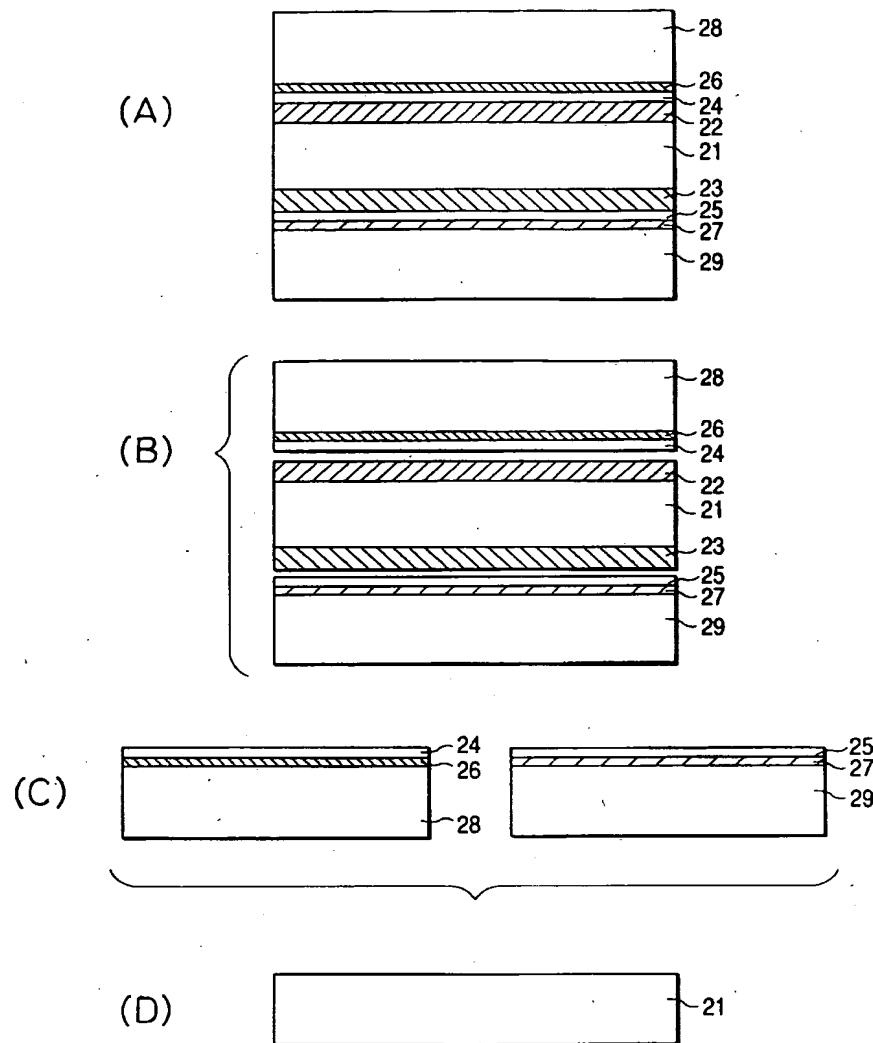
(D)



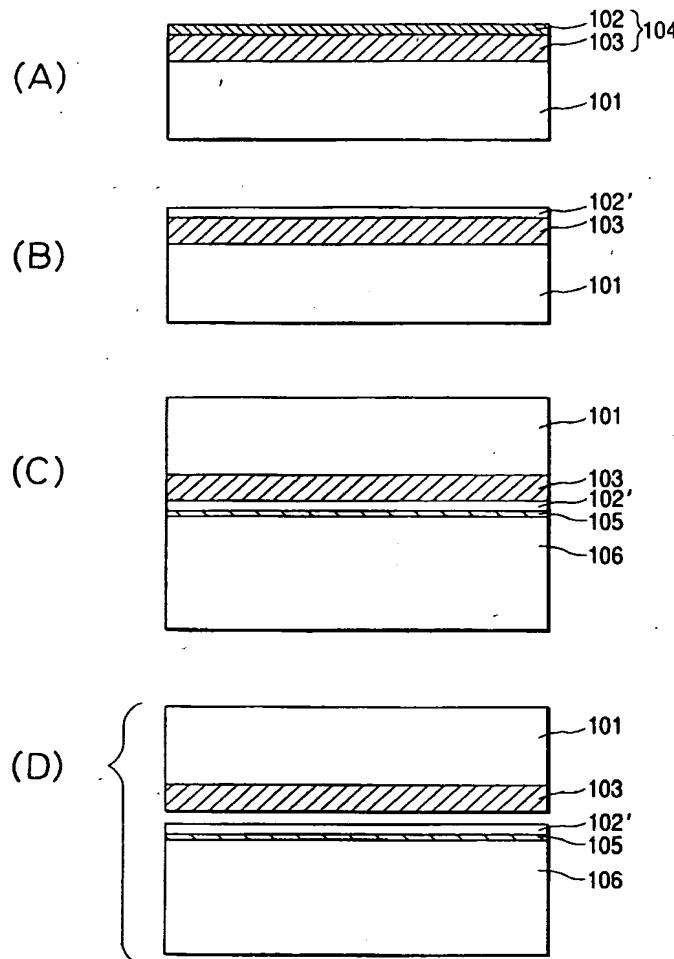
도면 2



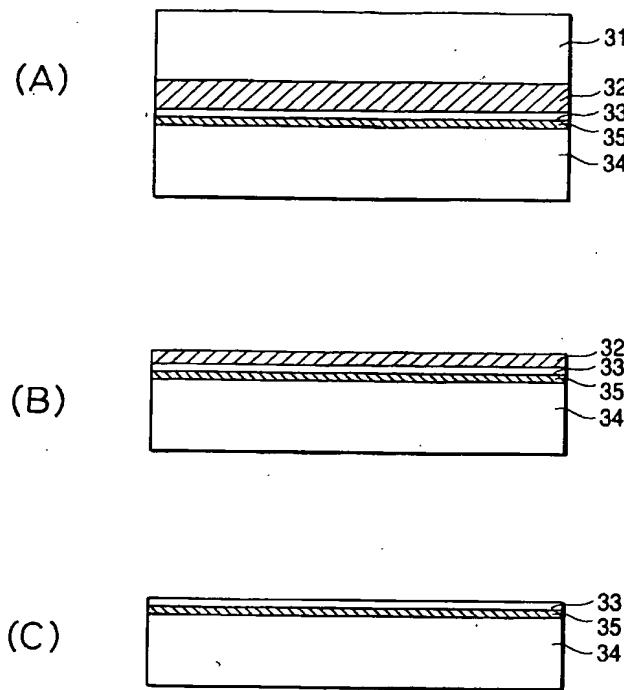
도면 3



도면 4



도면 5



도면 6

